

UNIVERSIDAD AUTÓNOMA DE MADRID

ESCUELA POLITÉCNICA SUPERIOR



TRABAJO FIN DE MÁSTER

**Diseño de una tarjeta aceleradora
basada en FPGA para el
procesamiento de tráfico en redes 10
Gbps Ethernet**

Máster en Ingeniería de Telecomunicación

Autor: López Ibáñez, Adrián

Tutor: Leira Osuna, Rafael

Ponente: López Buedo, Sergio

Febrero, 2018

ABSTRACT

In recent years, the 10 Gigabit Ethernet market has expanded rapidly and it will continue to grow in the years to come. This rapid growth is the result of cost reduction, market demands, and a mature technology. In the coming years new products will be required to enable increased bandwidth, higher port density, and lower power and reduced cost. High speed processing and analysis of red traffic it's been a challenge for software solutions. Therefore, solutions that involve FPGAs are being researched to accelerate this process. This project propose is based on the previous work that was carried out within the framework the European project IDEALIST, which proved the possibility of accelerate the processing of 10 Gbps Ethernet networks traffic using a low cost FPGA. Under this assumption/premise a Kinnic was designed, an accelerating card based on FPGA for the previously mentioned processing. Kinnic first version design was found to contain errors which led to a malfunction in the data transmission through the PCIe connector. Due to this, the first task of this work was to understand the Kinnic design to be able to find and fix the failures that cause the data wrong transmission.

Once the design failures were solved, a second version that allowed lower costs and standardize the design for a possible production was designed. The first design uses a Trenz Electronic module specifically designed for this PCB, which increase the cost of the design almost double. As a solution to this, it is proposed the inclusion of a physical medium chip between the XGMII interfaces of the SFP + connectors and the connectors High-speed FPGA. This physical medium chip transforms the interfaz signals from XGMII to RXAUI with a lower data transmission speed that allows the exchange of the electronic Trenz Electronic module to the first design with a much cheaper standard module.

Finally, in this work the complete design of the second version of Kinnic is made with the help of Altium Designer, generating the schematics and the printed circuit board. The result is the design of the new version of the acceleration card based on FPGA and its evaluation with theoretical simulations of some tracks to check its correct operation/functioning.

KEYWORDS

Field-Programmable Gate Array (FPGA), Transceiver, PCIe, Printed Circuit Board (PCB), IDEALIST, Small Form-Factor (SFP), Reduced Attachment Unit (RXAUI), Ethernet PHY.

RESUMEN

En los últimos años, el mercado de 10 Gigabit Ethernet se ha expandido rápidamente y continuará creciendo en los siguientes años. Este rápido crecimiento es el resultado de la reducción de costes, la demanda del mercado y una madurez en la tecnología. En los próximos años, se necesitarán nuevos productos para permitir un mayor ancho de banda, mayor densidad de puertos y menor consumo de potencia con coste reducido. El procesamiento y análisis de tráfico de red a altas velocidades supone un reto para las soluciones software, por esta razón, se están investigando soluciones que tienen que ver con la utilización de FPGAs para el aceleramiento de este proceso. La propuesta de este proyecto está basada en el trabajo previo realizado en el marco del proyecto europeo IDEALIST, donde se demostró la posibilidad de acelerar el procesamiento de tráfico en redes 10 Gbps Ethernet usando una FPGA de bajo coste. Partiendo de esta premisa se diseñó Kinnic, una tarjeta aceleradora basada en FPGA para el procesamiento de tráfico en redes 10 Gbps Ethernet. La primera versión de Kinnic resultó contener errores en su diseño que evitaban su correcto funcionamiento en la transmisión de datos a través del conector PCIe. Debido a esto, la primera misión de este trabajo ha sido entender el diseño de Kinnic para así poder buscar y arreglar los fallos que provocaban la mala transmisión de los datos.

Con los fallos de diseño resueltos, se procedió al diseño de una segunda versión que permitiese abaratar los costes y estandarizar el diseño para una posible producción. El primer diseño está compuesto por dos SFP+ conectados a un módulo de Trenz Electronic (TE) especialmente diseñado para permitir conexiones a 10Gbps. Este módulo utiliza un encapsulado de la FPGA Kintex-7 de mayor calidad que los demás módulos ofertados por TE, debido esto, el coste del diseño aumenta. Como solución a este problema se propone la inclusión de un chip de medio físico entre las interfaces XGMII de los conectores SFP+ y los conectores de alta velocidad de la FPGA. Este chip de medio físico transforma las señales de la interfaz XGMII a RXAUI con una velocidad de transmisión de datos inferior que permite el intercambio del módulo de TE del primer diseño con un módulo estándar más barato.

Finalmente, en este trabajo se realiza el diseño completo de la segunda versión de Kinnic con ayuda de Altium Designer, generando los esquemáticos y la placa de circuito impreso. El resultado final es el diseño de la nueva versión de la tarjeta aceleradora basada en FPGA y su evaluación con simulaciones teóricas en el programa HyperLynx de algunas de sus pistas para comprobar su correcto funcionamiento.

PALABRAS CLAVE

FPGA, transceptor, PCIe, placa de circuito impreso (PCI), IDEALIST, SFP, RXAUI, chip de medio físico.

AGRADECIMIENTOS

Quiero agradecer la ayuda que me han brindado en todo momento las personas que han hecho posible este trabajo.

Especialmente agradecer a mi tutor del trabajo de fin de master Rafael Leira Osuna por brindarme sus conocimientos y su apoyo. Gracias por la confianza, las sugerencias y correcciones que me has dado.

Agradecer a mi ponente Sergio López Buedo por ayudarme, aunque no fuera su tutelado, por ofrecerme realizar este trabajo, por los buenos consejos en las reuniones y su disposición a la hora de ayudarme. También agradecer a Naudit la oportunidad de trabajar con ellos y de poder realizar este trabajo.

Gracias a mi familia por haberme apoyado siempre, por haber estado en los buenos y en los malos momentos y por su comprensión.

ÍNDICE

ABSTRACT	2
RESUMEN	4
AGRADECIMIENTOS	6
LISTA DE ILUSTRACIONES	10
LISTA DE TABLAS	11
1. Introducción	12
1.1. Motivación	12
1.2. Objetivos	12
2. Evaluación del estado del arte	14
2.1. Motivación	14
2.2. Objetivos	14
2.3. Proyecto Europeo IDEALIST	14
2.4. PCB Kinnic	15
2.4.1. Claves del diseño.....	17
2.4.2. Análisis de componentes	18
2.4.3. Pruebas con HyperLynx	19
2.4.4. Reconstrucción de la placa	21
2.4.5. Pruebas con Vivado.....	24
2.5. Conclusiones	28
3. Análisis del diseño	29
3.1. Motivación	29
3.2. Objetivos	29
3.3. Mejoras en el diseño.....	29
3.3.1. Módulo FPGA de Trenz Electronic XC7K160T-2CF.....	29
3.3.2. Chip de medio físico (PHY).....	30
3.4. Conclusión.....	33
4. Diseño de Kinnic con PHY	34
4.1. Motivación	34
4.2. Objetivos	34
4.3. Modificación Standalone.....	34
4.4. Análisis de componentes	35
4.4.1. Chip de medio físico	35
4.4.2. Reloj (Clocking).....	36

4.4.3. Análisis de alimentación	38
4.5. Conectividad	41
4.5.1. Señales de Baja Velocidad	42
4.5.2. Señales de Alta Velocidad.....	43
4.6. Esquemático	43
4.7. Conclusión.....	45
5. Implementación de Kinnic con PHY	46
5.1. Motivación	46
5.2. Objetivos	46
5.3. Diseño de PCB	46
5.3.1. Factor de forma	46
5.3.2. Stackup.....	46
5.3.3. Reglas y restricciones.....	47
5.4. PCB Kinnic_v1	49
5.5. Conclusión.....	52
6. Evaluación de Kinnic con PHY	53
6.1. Motivación	53
6.2. Objetivos	53
6.3. Evaluación del diseño.....	53
6.4. Pruebas con HyperLynx	54
6.4.1. PCIe.....	54
6.4.2. RXAUI.....	55
6.5. Conclusión.....	57
7. Conclusión.....	58
7.1. Trabajo futuro.....	59
ANEXOS.....	64

LISTA DE ILUSTRACIONES

ILUSTRACIÓN 1.PCB KINNIC VERSIÓN INICIAL.....	15
ILUSTRACIÓN 2.PCB KINNIC VERSIÓN INICIAL. CAPA SUPERIOR.	16
ILUSTRACIÓN 3.PCB KINNIC VERSIÓN INICIAL. CAPA INTERMEDIA 1.	16
ILUSTRACIÓN 4.PCB KINNIC VERSIÓN INICIAL. CAPA INTERMEDIA 2.	16
ILUSTRACIÓN 5.PCB KINNIC VERSIÓN INICIAL. CAPA INFERIOR.	17
ILUSTRACIÓN 6.MODULO XC7K160T-2C1 [10].	18
ILUSTRACIÓN 7.DIAGRAMA DE BLOQUES DEL MÓDULO TE0741-03 [14].	18
ILUSTRACIÓN 10. KINNIC_v0 RESULTADOS DE LOS DIAGRAMAS DE OJO.	20
ILUSTRACIÓN 11. KINNIC_v0 DIAGRAMA DE OJO P1.A16 (AT DIE)/P1.A17 (AT DIE).	20
ILUSTRACIÓN 12. KINNIC_v0 DIAGRAMA DE OJO P1.A21 (AT DIE)/P1.A22 (AT DIE).	20
ILUSTRACIÓN 13. KINNIC_v0 DIAGRAMA DE OJO P1.A25 (AT DIE)/P1.A26 (AT DIE).	21
ILUSTRACIÓN 14. KINNIC_v0 DIAGRAMA DE OJO P1.A29 (AT DIE)/P1.A30 (AT DIE).	21
ILUSTRACIÓN 16. PERFIL DE SOLDADURA. ESTÁNDAR INDUSTRIAL IPC/JEDEC: J-STD-020D-01	22
ILUSTRACIÓN 17.CONEXIÓN JTAG PARA REALIZAR PRUEBAS CON VIVADO.....	25
ILUSTRACIÓN 18.LISTA DE PERIFÉRICOS.....	25
ILUSTRACIÓN 19. DIAGRAMAS DE OJO OBTENIDOS CON VIVADO A TEMPERATURA AMBIENTE, KINNIC_v0 SOLDADA CON HORNO DE REFLUJO.	26
ILUSTRACIÓN 20.DIAGRAMAS DE OJO OBTENIDOS CON VIVADO A 55°C, KINNIC_v0 SOLDADA CON HORNO DE REFLUJO.	26
ILUSTRACIÓN 21.CONDENSADORES DE ACOPLLO AC EN LA LÍNEA DE RELOJ DE PCIe	27
ILUSTRACIÓN 22.DIAGRAMAS DE OJO OBTENIDOS CON VIVADO, KINNIC_v0 CON CONDENSADORES DE ACOPLO AC AÑADIDOS.....	28
ILUSTRACIÓN 23.VSC8490 PARA APLICACIONES SFP+ [5].	31
ILUSTRACIÓN 24.RXAUI/XAUI [5].	31
ILUSTRACIÓN 25.Si5338 CIRCUITO TÍPICO DE APLICACIÓN [24].	37
ILUSTRACIÓN 26.ADAPTACIÓN DE LVPECL A CML.....	38
ILUSTRACIÓN 27.TAMAÑO DE PISTAS DIFERENCIALES CALCULADO CON HYPERLYNX.	48
ILUSTRACIÓN 28.TAMAÑO DE PISTA CALCULADO CON HYPERLYNX	48
ILUSTRACIÓN 29.FOOTPRINT RECOMENDADO PARA LOS CONDENSADORES DE DESACOPLO.....	49
ILUSTRACIÓN 30.PCB KINNIC CON PHY.	50
ILUSTRACIÓN 31.PCB KINNIC CON PHY. CAPA SUPERIOR.....	50
ILUSTRACIÓN 32.PCB KINNIC CON PHY. CAPA INTERMEDIA 1	51
ILUSTRACIÓN 33.PCB KINNIC CON PHY. CAPA INTERMEDIA 2.....	51
ILUSTRACIÓN 34.PCB KINNIC CON PHY. CAPA INFERIOR.....	51
ILUSTRACIÓN 35.PCB KINNIC CON PHY. REGIONES DE VOLTAJE PARA EL CHIP DE MEDIO FÍSICO.	52
ILUSTRACIÓN 36. KINNIC_v1 RESULTADOS DE LOS DIAGRAMAS DE OJO - PCIe.....	54
ILUSTRACIÓN 37. KINNIC_v1 DIAGRAMA DE OJO P1.A16 (AT DIE)/P1.A17 (AT DIE).	54
ILUSTRACIÓN 38. KINNIC_v1 DIAGRAMA DE OJO P1.A21 (AT DIE)/P1.A22 (AT DIE).	55
ILUSTRACIÓN 39. KINNIC_v1 DIAGRAMA DE OJO P1.A25 (AT DIE)/P1.A26 (AT DIE).	55
ILUSTRACIÓN 40. KINNIC_v1 DIAGRAMA DE OJO P1.A29 (AT DIE)/P1.A30 (AT DIE).	55
ILUSTRACIÓN 41.KINNIC_v1 RESULTADOS DE LOS DIAGRAMAS DE OJO - RXAUI.....	56
ILUSTRACIÓN 42. KINNIC_v1 DIAGRAMA DE OJO U7.C1 (AT DIE)/ U7.C2 (AT DIE).	56
ILUSTRACIÓN 43. KINNIC_v1 DIAGRAMA DE OJO U7.E1 (AT DIE)/ U7.E2 (AT DIE).	56
ILUSTRACIÓN 44. KINNIC_v1 DIAGRAMA DE OJO U7.C1 (AT DIE)/ U7.C2 (AT DIE).	56
ILUSTRACIÓN 45. KINNIC_v1 DIAGRAMA DE OJO U7.C1 (AT DIE)/ U7.C2 (AT DIE).	57

ILUSTRACIÓN 46.ESQUEMÁTICO KINNIC_v0. HOJA 1, KINNIC.	67
ILUSTRACIÓN 47.ESQUEMÁTICO KINNIC_v0. HOJA 2, MISCELLANEOUS.	67
ILUSTRACIÓN 48.ESQUEMÁTICO KINNIC_v0. HOJA 3, POWER.	68
ILUSTRACIÓN 49.ESQUEMÁTICO KINNIC_v0. HOJA 4, SFP.	68
ILUSTRACIÓN 50.ESQUEMÁTICO KINNIC_v0. HOJA 5, TE0741AB.	69
ILUSTRACIÓN 51.ESQUEMÁTICO KINNIC_v0. HOJA 6, TE0741CD PCIe.	69
ILUSTRACIÓN 52.ESQUEMÁTICO KINNIC_v1. HOJA 1, KINNIC.	73
ILUSTRACIÓN 53.ESQUEMÁTICO KINNIC_v1. HOJA 2, MISCELLANEOUS.	73
ILUSTRACIÓN 54.ESQUEMÁTICO KINNIC_v1. HOJA 3, POWER.	74
ILUSTRACIÓN 55.ESQUEMÁTICO KINNIC_v1. HOJA 4, SFP.	74
ILUSTRACIÓN 56.ESQUEMÁTICO KINNIC_v1. HOJA 5, FPGA TE0741AB.	75
ILUSTRACIÓN 57.ESQUEMÁTICO KINNIC_v1. HOJA 6, TE0741CD PCIe.	75
ILUSTRACIÓN 58.ESQUEMÁTICO KINNIC_v1. HOJA 7, VSC8490-11 CLOCKING.	76
ILUSTRACIÓN 59.ESQUEMÁTICO KINNIC_v1. HOJA 8, VSC8490-11 HIGH SPEED CHANNELS.	76
ILUSTRACIÓN 60.ESQUEMÁTICO KINNIC_v1. HOJA 9, VSC8490-11 POWER.	77
ILUSTRACIÓN 61.ESQUEMÁTICO KINNIC_v1. HOJA 10, VSC8490-11 STATUS CONTROL.	77
ILUSTRACIÓN 62.STACKUP WE.	78
ILUSTRACIÓN 63.TABLA ÉPSILON R WE.	79
ILUSTRACIÓN 64.ESPECIFICACIONES DE LA MÁSCARA DE SOLDADURA WE.	80
ILUSTRACIÓN 65.ELPERMER SD 2467 SM-DG.	80

LISTA DE TABLAS

TABLA 1.DATOS DE TEMPERATURA DEL PERFIL DE SOLDADURA.	23
TABLA 2.DATOS DE TIEMPO DEL PERFIL DE SOLDADURA.	23
TABLA 3.ESPECIFICACIONES DEL PERFIL DE SOLDADURA.	23
TABLA 4. SELECCIÓN DE FRECUENCIA DE XREFCK [5].....	36
TABLA 5. ALIMENTACIÓN DEL CIRCUITO.	38
TABLA 6. KINNIC_v0 BOM.	66
TABLA 7. KINNIC_v1 BOM.	72
TABLA 8. NETLIST STATUS.....	82

1. Introducción

1.1. Motivación

Es bien conocido que el procesamiento y análisis de tráfico de red a altas velocidades (> 10 Gbps) supone un reto para las soluciones software [1]. Esto se debe principalmente al poco tiempo disponible para procesar cada paquete: en 10 Gbps Ethernet, el tiempo entre paquetes puede llegar a bajar de 70 ns. Por esta razón, cualquier posibilidad de acelerar el procesamiento del tráfico resulta atractiva en redes de alta velocidad.

Actualmente existen una gran cantidad de trabajos que demuestran los beneficios de la aceleración basada en FPGAs en el campo de las redes de comunicaciones [2]. Sin embargo, hasta hace unos pocos años el coste de los dispositivos capaces de realizar esta aceleración era prohibitivo. Afortunadamente esto está cambiando, y en la actualidad existen FPGAs muy potentes a un precio asequible. Esta propuesta se basa en el trabajo previo realizado en el marco del proyecto europeo IDEALIST [3], donde se demostró la posibilidad de acelerar el procesamiento de tráfico en redes 10 Gbps Ethernet usando una FPGA de bajo coste Xilinx Kintex-7.

Dentro de este contexto se propone el diseño y fabricación de una tarjeta de red basada en las FPGAs Kintex-7 [4] que permita realizar un procesamiento y análisis de tráfico mediante hardware. El objetivo principal es abaratar los costes del prototipo añadiendo un chip de medio físico [5] entre los módulos SFP+ y la FPGA, manteniendo un alto rendimiento, así como solventar los pequeños defectos detectados en el mismo. Como primer paso se procederá a soldar los componentes del prototipo mediante soldadura por refusión (reflujo o de reflow) utilizando un horno de soldadura [6] [7]. Posteriormente se realizará un test del prototipo utilizando la interfaz JTAG [8] para generar diagramas de ojo [9] que permitan observar la integridad de señal en el conector PCIe x4 Gen2. Por último, se realizará el nuevo diseño con el chip de medio físico.

1.2. Objetivos

El objetivo de esta propuesta es hacer un rediseño de la tarjeta ya existente, que dispone de dos cajas 10 SFP+ y una interfaz PCIe x4 Gen2. Al igual que en la tarjeta original, se usará un módulo FPGA fabricado por Trenz Electronic (TE) para reducir la complejidad del diseño. Sin embargo, en vez de realizar una conexión directa de la FPGA con los módulos SFP+, se hará a través de un circuito de medio físico RXAUI, lo que permitirá usar con una FPGA con un encapsulado más económico. Aunque este será el cambio más notable, el objetivo de la propuesta es hacer un diseño completamente nuevo, que aprovechando la experiencia existente consiga obtener un producto de bajo coste y alto rendimiento.

Objetivos parciales:

1. Analizar la primera versión de la placa
2. Solventar los problemas de funcionamiento de la primera versión de Kinnic
3. Estudio del chip de medio físico (PHY) junto con las interfaces RXAUI/XAUI.
4. Realización de los esquemáticos del nuevo diseño.
5. Implementación del PCB de la nueva tarjeta de red.
6. Verificación del nuevo diseño.

El trabajo se divide en cinco partes, en la siguiente sección hablaremos del estado del arte de los PCBs y del diseño inicial de la Kinnic. En la sección 3 analizaremos en profundidad su diseño para que en la sección 4 podamos realizar el nuevo diseño de Kinnic incluyendo el chip de medio físico y posteriormente en la sección 5 el diseño de su placa de circuito impreso. Por ultimo en la sección 6 evaluaremos con HyperLynx el nuevo diseño.

2. Evaluación del estado del arte

2.1. Motivación

Según el trabajo previo realizado en el marco del proyecto europeo IDEALIST es posible acelerar el procesamiento de tráfico en redes 10 Gbps Ethernet usando una FPGA de bajo coste Xilinx Kintex-7. Siguiendo estas premisas se diseñó Kinnic, una tarjeta de red basada en una FPGA Kintex-7 con dos transceptores SFP+ de 10Gbps Ethernet. La primera versión fabricada de Kinnic fue sometida a un test de transmisión de datos en las pistas del conector PCIe con la herramienta Vivado (2.4.5) a través del conector JTAG que incluye la placa. Los resultados de este test indican la existencia de problemas de integridad de señal en el bus de datos del PCIe.

2.2. Objetivos

La primera tarea de este proyecto es entender el diseño y evaluarlo para poder identificar los errores que provocan el fallo de funcionamiento y así poder arreglarlos. Para ello nos centraremos en entender en qué consiste el proyecto europeo IDEALIST, como funciona y para qué sirve la placa Kinnic y posteriormente buscar los problemas de diseño existentes mediante el estudio de los diferentes componentes y la realización de pruebas con herramientas de simulación.

Finalmente, con los datos obtenidos anteriormente, tendremos que identificar los fallos y encontrar una solución para conseguir que funcione la primera versión de la placa Kinnic.

2.3. Proyecto Europeo IDEALIST

El proyecto Europeo de IDEALIST [3] pretende averiguar si las redes ópticas elásticas (EON) pueden ser beneficiosas para las portadoras (carriers), y si es así, bajo qué escenarios de red, aplicaciones o casos de uso. Además, IDEALIST identifica el EON óptimo para cada caso, cuantificando cuánto beneficio se obtendrá en términos de CAPEX (Capital Expenditures) y una gama de medidas OPEX (Operating Expense). El resultado final de IDEALIST es una clara recomendación del valor de EON, las situaciones más fructíferas para considerar usarlo y los beneficios reales al hacerlo.

Las redes ópticas elásticas son más flexibles que las alternativas fijas existentes: ofrecen la posibilidad de utilizar diferentes formatos de modulación de señal y diferentes asignaciones de espectro, incluso en un entorno dinámico. Las diferentes opciones flexibles que se discuten son variadas y, como tal, EON cubre una amplia gama de soluciones que van desde tasas de línea mixtas (MLR) a través de una red fija, hasta una tasa de bit variable SBVT (Sliceable Bit rate Variable Transponders) sobre un espectro óptico completamente flexible.

2.4. PCB Kinnic

Kinnic es una tarjeta de red basada en la FPGA de bajo coste Xilinx Kintex-7 para el procesamiento de tráfico en redes 10 Gbps Ethernet. Los componentes principales de esta placa son un módulo de Trenz Electronic [10] que incluye una FPGA Kintex-7 y dos conectores SFP+ de 10Gbps Ethernet. Como se observa en la lista de componentes o BOM (Bill of Materials) del anexo I, esta versión de Kinnic también incluye un módulo de alimentación, un controlador led que maneja los leds RGB de los conectores SFP+, leds de control del módulo de TE, leds de alimentación, un conector JTAG, un sensor de corriente constituido por un amplificador junto con un ADC, un conector JACK de potencia y unos conectores PMOD aislados con diodos de protección.

Este diseño está pensado para que pueda funcionar conectándolo a un slot PCIe de un ordenador o de forma standalone mediante la utilización del conector JACK de alimentación. Los conectores PMOD se pueden utilizar para enviar datos de la FPGA cuando se utiliza de forma standalone, los diodos de protección aíslan dichos conectores para que no pueda haber ninguna sobre carga que provenga del exterior. Los interruptores JP1 y JP2 permiten activar el modo JTAG y cambiar la señal de activación de los módulos de alimentación para que estén activados por la señal PGOOD o el voltaje de salida de la FPGA respectivamente. El interruptor JP3 permite cambiar el voltaje de alimentación del banco 12 de la FPGA y de los conectores PMOD de +2.5V a +3.3V. En contacto con el chip Kintex-7 del módulo de TE hay un disipador para evitar posibles problemas de sobrecalentamiento.

El esquemático de esta primera versión de la Kinnic se encuentra en el anexo II, en él se muestra cómo están interconectados los componentes. A continuación, en la Ilustración 1 se muestra una imagen de la placa Kinnic acabada con todos los componentes soldados (menos los conectores PMOD, los diodos de protección y el interruptor de encendido/apagado). Debajo de esta, se muestran las imágenes de las diferentes capas del diseño del PCB excluyendo los planos de tierra.



Ilustración 1. PCB Kinnic versión inicial.

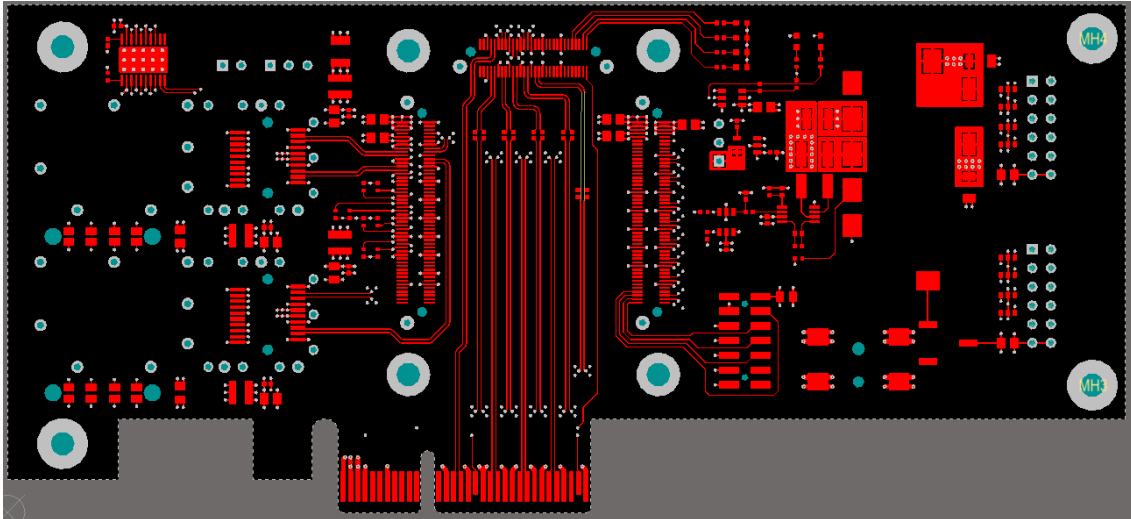


Ilustración 2.PCB Kinnic versión inicial. Capa superior.

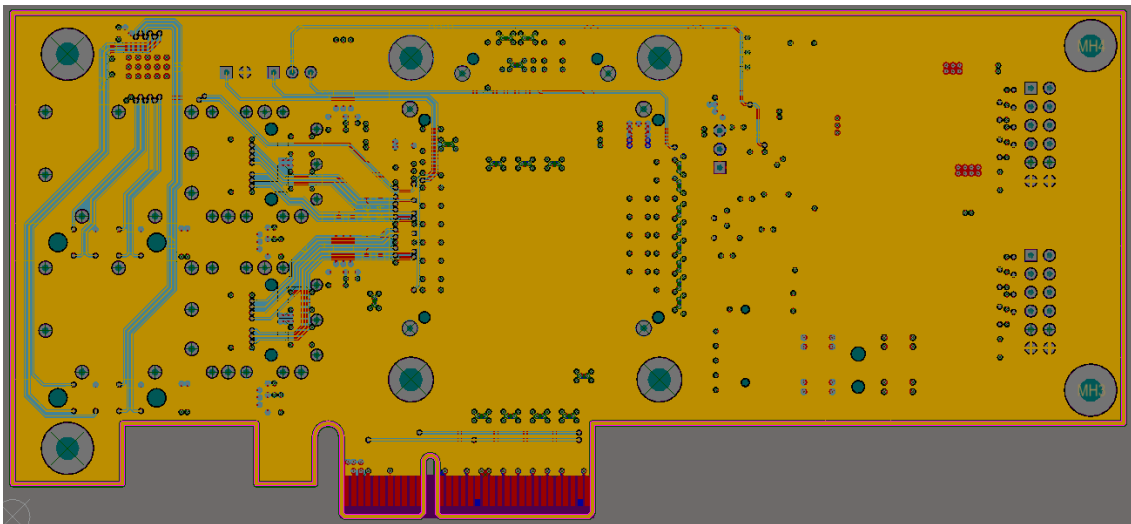


Ilustración 3.PCB Kinnic versión inicial. Capa intermedia 1.

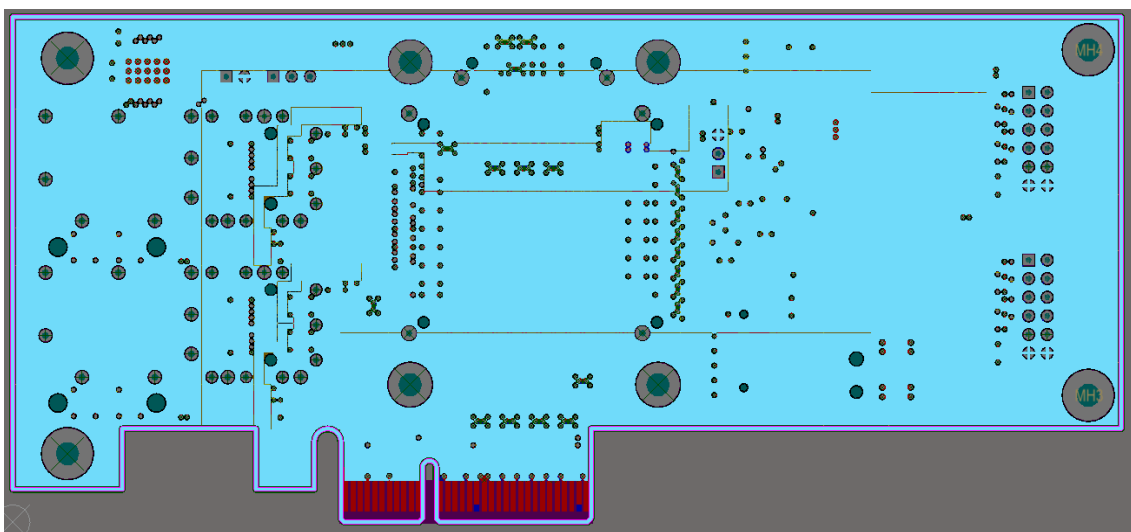


Ilustración 4.PCB Kinnic versión inicial. Capa intermedia 2.

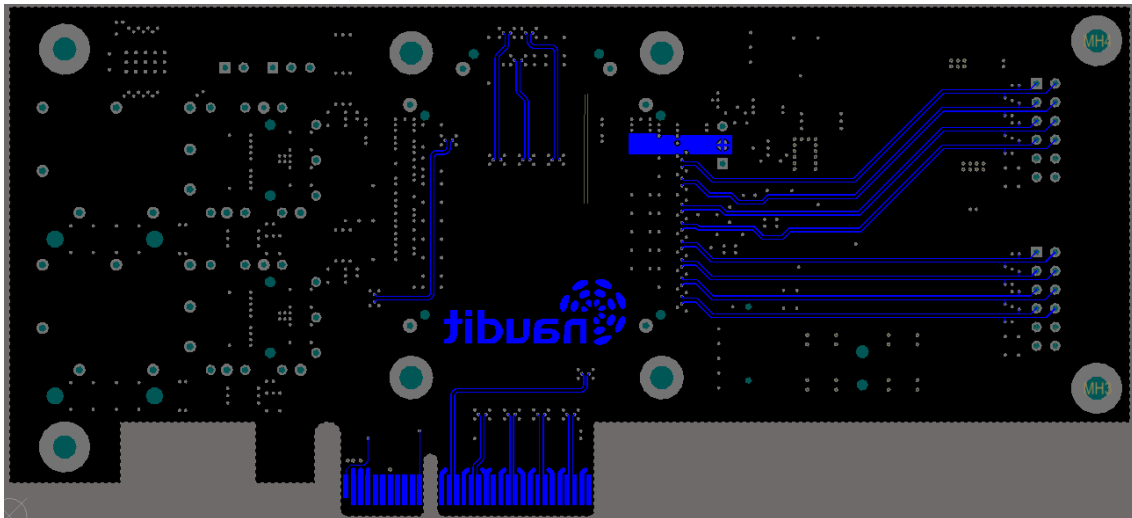


Ilustración 5. PCB Kinnic versión inicial. Capa inferior.

El PCB está compuesto por 6 capas, las cuatro que se muestran en las ilustraciones anteriores y dos capas de tierra que se encuentran respectivamente entre las capas superior e intermedia 1 y entre la capa inferior e intermedia 2. Uno de los beneficios de utilizar estos planos de tierra GND es que las corrientes de retorno de las señales de alta frecuencia puedan viajar justo por debajo de la pista correspondiente y así disminuir la inductancia parásita [11].

Todos los componentes son SMD (Surface-Mount Device) menos los interruptores JP y los PMOD. En la [Ilustración 2](#) se muestra la capa superior del PCB, se hace visible que todos los componentes SMD se han situado en esta, esto se ha hecho así para disminuir la complejidad en el proceso de fabricación. Las capas superior, inferior e interior 1 se han utilizado para el enrutado de señales. La capa intermedia 2 se ha utilizado para regiones (Polígonos) de voltaje, esto mejora la distribución de corriente y disminuye la inductancia parásita.

La forma del PCB se ha elegido siguiendo los estándares de PCIe para que sea compatible con los slots de un ordenador convencional. En concreto se trata de una tarjeta PCIe de perfil bajo (low-profile PCI card) cuya longitud es reducida. Las dimensiones exactas del PCB son $dx=152\text{mm}$ (largo) y $dy=68.9\text{mm}$ (ancho).

2.4.1. Claves del diseño

Las señales digitales de baja frecuencia apenas tienen complicación a la hora de diseñar un PCB, las más importantes son las de alta frecuencia, es decir las conexiones diferenciales del conector SFP+ a la FPGA a 10.3125Gbps y las del PCIe a 5Gbps.

Para simplificar el diseño de la Kinnic original se decidió realizar una conexión directa de los transceptores ópticos SFP+ de 10Gbps a los transceptores gigabit GTX de la FPGA. Kintex 7 incluye 8 GTX que soportan por defecto 10GBASE-KR a 10.3125 Gb/s y 10GBASE-R a 10.3125 Gb/s, pero el diseño del módulo de Trenz Electronic XC7K160T-2CF [12] no permite llegar a esa velocidad dado que utiliza una FPGA Kintex 7 cuyo encapsulado es de baja calidad, debido a esto, Trenz Electronic ha realizado el diseño XC7K160T-2C1 [10] con un encapsulado de mayor calidad aumentando los costes de producción a casi el doble. Este nuevo encapsulado permite llegar a velocidades de más de 10Gb/s, permitiendo así conectar los transceptores ópticos SFP+ de 10Gbps a los transceptores gigabit GTX de la FPGA. Esto encarece mucho el diseño, ya que el módulo con Xilinx Kintex-7 XC7K160T-2CF que fabrican por defecto en Trenz Electronic

tiene un valor actual de €409.00 si se compra una unidad mientras que el módulo especialmente diseñado para este proyecto cuesta actualmente €789.00.

La FPGA Kintex-7(160T) [13], soporta PCIe Gen2x4. Este conector PCIe se compone de 4 GT (Gigabit Transceiver) que se traduce en 8x5Gb/s (4x5Gb/s Rx, 4x5Gb/s Tx).

2.4.2. Análisis de componentes

En el siguiente apartado se expone un breve análisis de los dos componentes más importantes de este diseño. Para más información sobre los componentes utilizados en el diseño se puede consultar el BOM de la primera versión de Kinnic en el anexo I.

2.4.2.1. Módulo FPGA de Trenz Electronic XC7K160T-2C1



Ilustración 6. Módulo XC7K160T-2C1 [10].

El TE0741-03-160-2C1 es un módulo de TE que integra una FPGA Xilinx Kintex-7 160T, con 8 MGT (transceptores de múltiples gigabits), 32 MB de memoria flash para la configuración y el funcionamiento, y fuentes de alimentación conmutadas para todos los voltajes de circuito. Proporciona una gran cantidad de E / S configurables a través de sus conectores de alta velocidad. El módulo se conecta a la placa mediante tres conectores macho de alta velocidad. El diagrama de bloques de este módulo diseñado por TE es el siguiente:

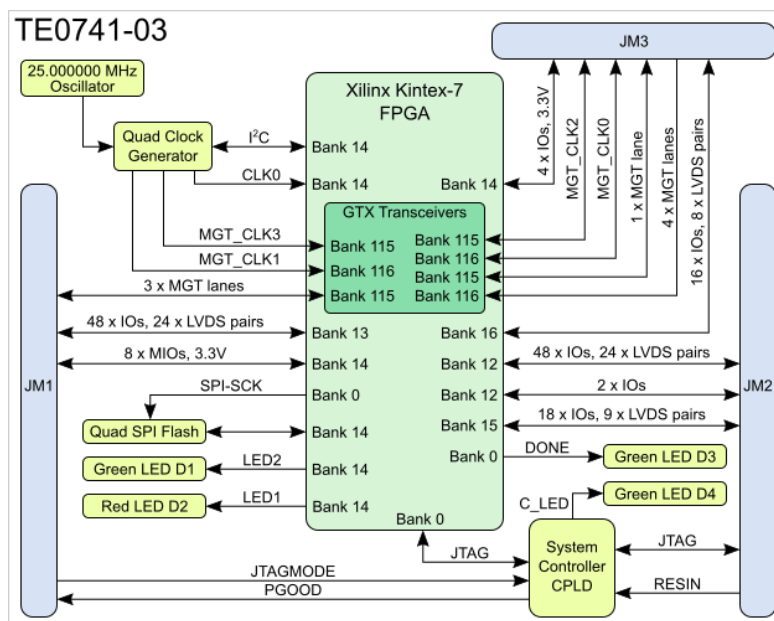


Ilustración 7. Diagrama de bloques del módulo TE0741-03 [14].

2.4.2.2. Convertidor DC/DC OKY-T/10-D12P-C [15]

Se trata del módulo SMT (Surface-Mount Technology) de alimentación que se va a encargar de transformar el voltaje continuo de +12V que llega del conector PCIe o del conector JACK, al voltaje de +3.3V necesario para alimentar a los componentes de la placa.

Tiene un amplio rango de entrada de 8.3 a 14 voltios de corriente continua (CC) y una corriente de salida máxima de 10 amperios (en los modelos T / 10). Tiene un pin para el voltaje de entrada y uno para el de salida, un pin de GND, uno de sensado para comprobar que se mantiene el voltaje especificado a la salida y dos pines de ajuste que permiten elegir el voltaje de salida con una resistencia, en este caso de 3.122K Ω para conseguir los +3.3V.

2.4.3. Pruebas con HyperLynx

La primera fase para encontrar el posible fallo de diseño se basa en testear las conexiones del conector PCIe con ayuda de HyperLynx. Con esta prueba podremos deducir si el problema es por un mal diseño de las pistas diferenciales (tamaño, espaciado entre ellas, longitud, valores de los condensadores de acoplo de corriente alterna (CA), vías...). Con HyperLynx predecimos el posible BER (Bit Error Rate) y generamos los diagramas de ojo, estos diagramas muestran la forma de la señal que llega al receptor en amplitud de voltaje y en unidades de tiempo. Se realizan enviando una secuencia de bits y superponiendo las señales que llegan al receptor, para calcular el BER, si la amplitud de voltaje cumple con la sensibilidad del receptor se considera un bit correcto, sino un bit erróneo. Si la amplitud de la señal y las diferencias temporales entre las diferentes ondas de cada bit son grandes estaremos ante un buen resultado en la transmisión de datos con un diagrama de ojo abierto, si sucede al revés, querrá decir que la transmisión de datos es deficiente y el diagrama de ojo estará cerrado. Utilizamos BoardSim de HyperLynx y los modelos IBIS AMI (Algorithmic Modeling Interface) de los GTX de la FPGA que nos proporciona Xilinx para el modelo Kintex-7 que utiliza el módulo que nos ha fabricado Trenz Electronic. Estos modelos permiten simular el comportamiento real de componentes IC específicos.

Las gráficas BER o diagramas de ojo las obtenemos realizando un análisis en el dominio del tiempo (Time-Domain Analysis) con una tasa de bits de 5Gbps, un patrón de bit 8b/10b y sin añadir filtros pre-emphasis y de-emphasis. Escogemos 8b/10b debido a que es el patrón de bits que utiliza PCIe Gen2. Hay que destacar que no añadimos a las pruebas el posible crosstalk entre los diferentes pares diferenciales porque los resultados apenas varían. Esto se puede deber a que el ruido que proviene de otros pares diferenciales cercanos afecta casi por igual a ambas pistas, esto hace que se anule el ruido en el receptor.

2.4.3.1. Diagramas de ojo

Como resultado de las pruebas anteriores, HyperLynx nos devuelve los diagramas de ojo (BER plots) correspondientes a cada canal del PCIe. Para comprobar que la apertura del ojo es la correcta en cuanto unidades de tiempo y de voltaje utilizamos una máscara de ojo (Eye mask margin) que debe cumplirse en el receptor del PCI Express. Esta máscara es proporcionada por HyperLynx para receptores PCI Express y cumple con el estándar de PCI Express [16].

Al importar la placa desde Altium Designer a HyperLynx para realizar una simulación BoardSim, HyperLynx asigna por defecto el nombre de MOD.Cxx (donde xx es el número del pin correspondiente) a los pines que salen del módulo de TE y P1.Axx (donde A especifica que es Capa superior y xx es el número del pin correspondiente) a los pines del conector PCIe Gen2x4.

Comprobamos el BER en el receptor en las 8 conexiones diferenciales del conector PCIe, 4 receptores en el módulo y 4 en el PCIe.

Simulation date	Probe name	Simulation results					
		Highest BER	Pass/fail eye mask	Eye mask margin		Eye opening	
				Time, UI	Voltage, V	Time, UI	Voltage, V
12/08/16 22:19:03	P1.A16 (at die)/P1.A17 (at die)	0	Passed	0.114904	0.0623683	0.526443	0.298736
12/08/16 22:19:43	P1.A21 (at die)/P1.A22 (at die)	0	Passed	0.110096	0.0623375	0.516828	0.298674
12/08/16 22:21:39	P1.A25 (at die)/P1.A26 (at die)	0	Passed	0.117307	0.0624332	0.521635	0.298866
12/08/16 22:23:08	P1.A29 (at die)/P1.A30 (at die)	0	Passed	0.119713	0.0574081	0.536059	0.288816
12/08/16 22:48:47	MOD1.C7 (at die)/MOD1.C9 (at die)	0	Passed	0.110097	0.0534607	0.507212	0.284187
12/09/16 00:53:00	MOD1.C13 (at die)/MOD1.C15 (at die)	0	Passed	0.126924	0.0662277	0.564905	0.306455
12/09/16 00:54:02	MOD1.C19 (at die)/MOD1.C21 (at die)	0	Passed	0.122117	0.0571539	0.538462	0.291583
12/09/16 00:55:09	MOD1.C25 (at die)/MOD1.C27 (at die)	0	Passed	0.14375	0.0727549	0.581732	0.319509

Ilustración 8. Kinnic_v0 Resultados de los diagramas de ojo.

Dado que los resultados son similares en todas las pistas, solo se muestran los diagramas de ojo de los canales en los que el receptor está en el conector PCIe.

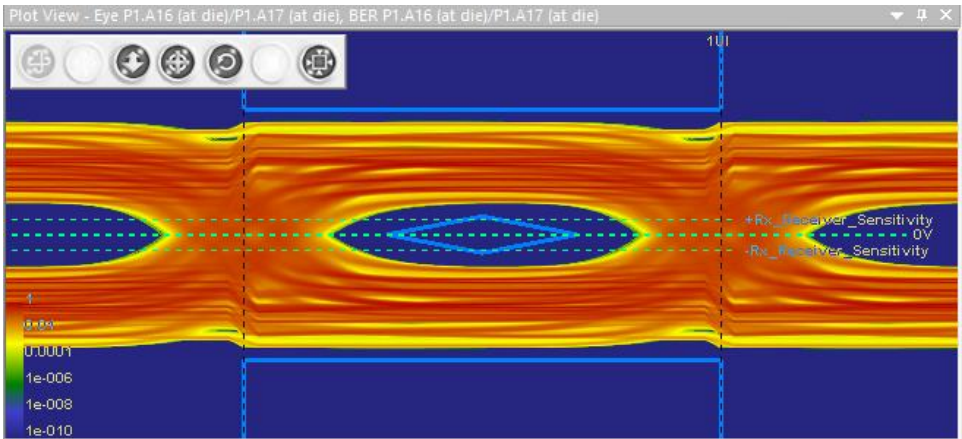


Ilustración 9. Kinnic_v0 Diagrama de ojo P1.A16 (at die)/P1.A17 (at die).

En la Ilustración 9 observa el diagrama de ojo del primer canal de recepción del PCIe. En ella se pueden ver superpuestas todas las formas de onda de cada bit simulado. El rombo que se encuentra en el interior del ojo es la máscara de ojo, esta nos marca la apertura mínima para que el receptor capture correctamente los datos enviados. Los límites superior e inferior de color azul indican la amplitud de voltaje máxima permitida en el receptor. Dicho esto, dado que la apertura del ojo es amplia, los resultados obtenidos en este canal del PCIe son muy buenos.

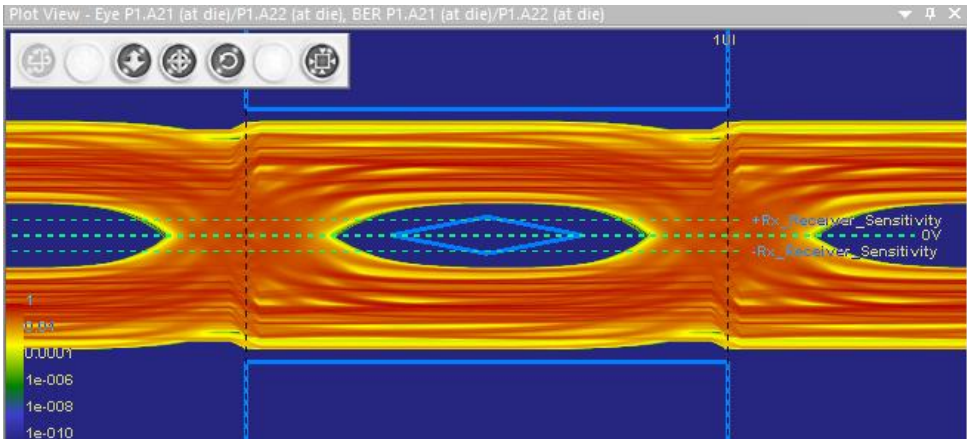


Ilustración 10. Kinnic_v0 Diagrama de ojo P1.A21 (at die)/P1.A22 (at die).

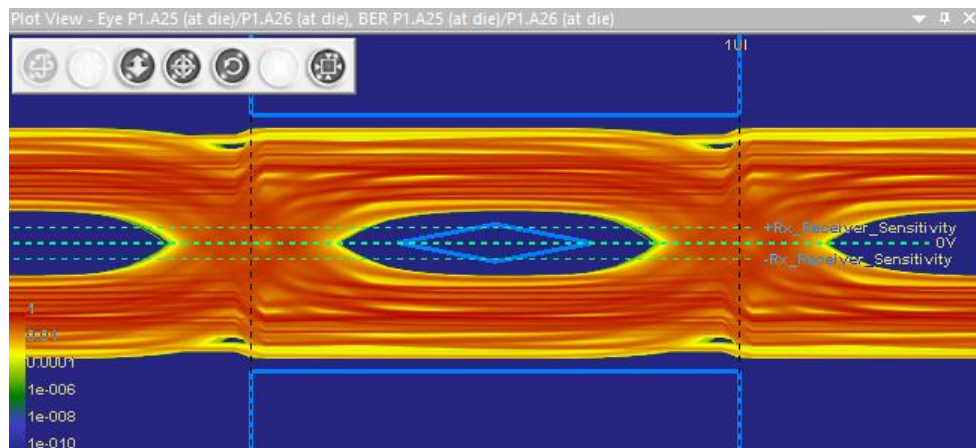


Ilustración 11. Kinnic_v0 Diagrama de ojo P1.A25 (at die)/P1.A26 (at die).

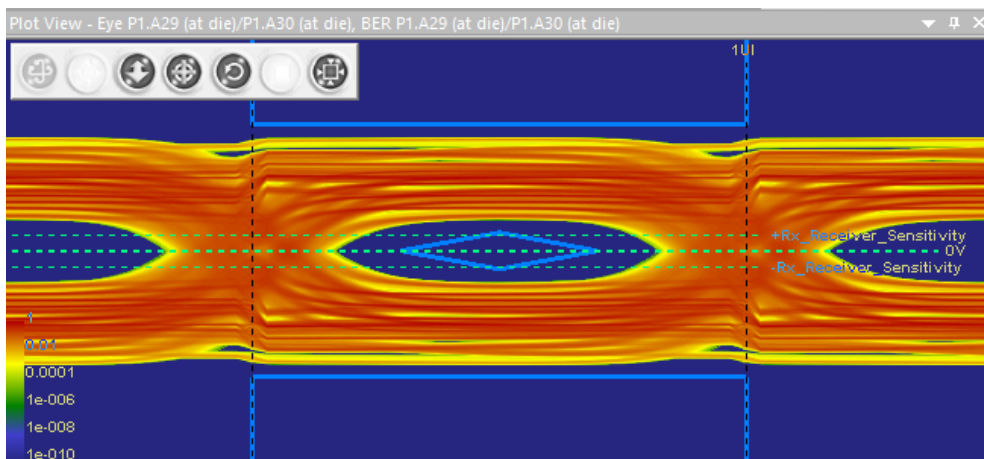


Ilustración 12. Kinnic_v0 Diagrama de ojo P1.A29 (at die)/P1.A30 (at die).

Los diagramas de ojo de todas las pistas diferenciales receptoras del PCIe tienen una apertura que cumple con la máscara del receptor, esto significa que las pistas que conectan con el PCIe están correctamente diseñadas y el problema puede surgir del proceso de fabricación o por culpa de otro componente de la placa.

2.4.4. Reconstrucción de la placa

La primera versión de Kinnic construida se soldó a mano, y dado que se trata de componentes SMD de pequeño tamaño, los problemas de funcionamiento se podrían deber a una mala soldadura de los componentes. Para descartar este factor decidimos soldar otra placa con el método de soldadura con horno de refusión o reflujo (Reflow Oven). Este método se basa en calentar la placa de circuito impreso con los componentes pegados con pasta de soldadura en un horno de refusión o reflujo siguiendo un perfil de soldadura programado.

En primer lugar, necesitamos extender pasta de soldadura por las patas (pads) de todos los componentes, este proceso es crítico pues si hay demasiada pasta de soldar en un pad se podría formar un cortocircuito y si hay poca, podría no realizarse correctamente la soldadura. Para evitar un exceso de pasta de soldar utilizamos una máscara de soldadura que es proporcionada por el fabricante del PCB (Würth Elektronik). La máscara de soldadura se debe diseñar de tal forma que

las aperturas de la máscara sean proporcionales a los pads. Según el grosor de la máscara, las aperturas pueden ser más pequeñas o más grandes que los pads. La elección del grosor y del tamaño de la apertura es crítica, ya que un espesor muy elevado y una apertura grande pueden hacer que la cantidad de pasta de soldar en el pad sea excesiva o viceversa.

Para este proceso de fabricación disponemos de un horno de reflujo de la marca Protoflow LPKF Laser&Electronics, dicho horno se puede configurar de manera externa mediante un script en Excel utilizando los controladores proporcionados por el fabricante del horno o de manera manual con la pantalla y botones de configuración que incluye el horno en su estructura. Los parámetros de configuración del proceso son los datos necesarios para construir el perfil de soldadura (Soldering profile) que debe seguir el horno.

2.4.4.1. Perfil de soldadura

El método de soldadura por horno de refusión funciona calentando la placa con los componentes colocados con la pasta de soldar siguiendo un perfil de soldadura (Soldering profile), este perfil se configura según la temperatura y el tiempo de fusión de la pasta de soldar y la temperatura máxima a la que se pueden exponer los componentes. Para obtener este perfil se necesita analizar todos los componentes de la placa obteniendo los perfiles recomendados para cada uno, así como las temperaturas máximas a las que se pueden exponer durante este proceso. Las resistencias, leds, inductancias y condensadores son componentes muy resistentes cuyo perfil de soldadura es flexible, por otro lado, los circuitos integrados (IC) son especialmente vulnerables, por lo que nos centraremos en estos últimos. Dentro de Kinnic, los IC más vulnerables son los módulos de alimentación OKY-T/10-D12P-C y DNL10S0A0S16PFD y el módulo de TE que no se suelda directamente a la placa. En su lugar se sueldan tres conectores hembra cuyo perfil de soldadura es más flexible. La mayoría de componentes utilizan el Estándar industrial IPC/JEDEC: J-STD-020D-01 [6] y tienen un perfil de soldadura como el que se muestra en la Ilustración 13.

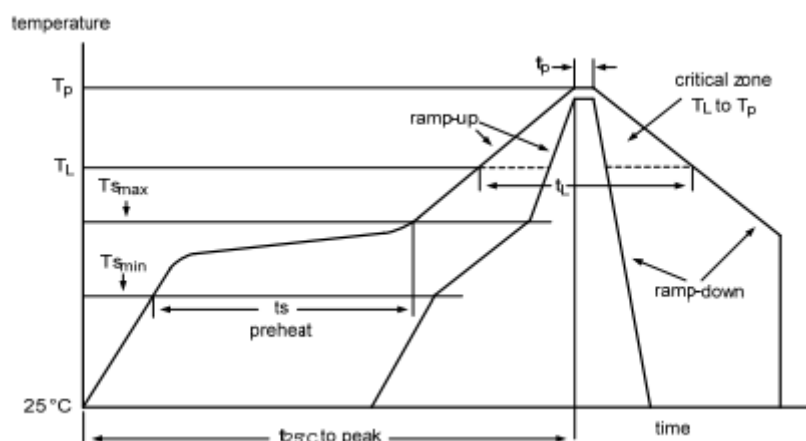


Ilustración 13. Perfil de soldadura. Estándar industrial IPC/JEDEC: J-STD-020D-01.

En la imagen anterior se observa que el perfil de soldadura se compone de cuatro fases, una primera fase de calentamiento del horno, una segunda fase de precalentamiento (preheat), la siguiente de aumento de temperatura hasta la temperatura pico (ramp-up), la zona crítica (critical zone) y la última con un descenso de temperatura hasta temperatura ambiente (ramp down). Primero se debe calentar la placa hasta la temperatura de precalentamiento y mantener esa temperatura un tiempo t_s , cuando la placa se ha precalentado lo suficiente, se procede a un rápido aumento de la temperatura en un corto periodo de tiempo hasta llegar a la temperatura pico. En la zona crítica solo se puede estar un periodo de tiempo t_p muy escaso para evitar daños a los

componentes, pero suficiente para que el estaño se funda. En la última fase se enfría la placa hasta temperatura ambiente, es importante que la pendiente de subida y de bajada de la zona crítica no sea elevada pues podrían producirse daños en la placa por las diferencias de temperatura.

En nuestro caso utilizamos una pasta de soldar con plomo 10 SN62BAS86 7K conocida como SN62RA10BAS86 cuyo punto de fusión es 179,0 °C (354.2 °F). Los módulos de alimentación utilizan valores diferentes a los del estándar. A continuación, se muestra el análisis de estos componentes IC de Kinnic para pastas de soldar con plomo.

Temperatura (°C)	Tsmin	Tsmax	Tpmin	Tprec	Tpmax	TLmin	MaxRamp UpRate	MaxRamp DownRate	MaxRamp UpRate PreHeat
Power Module OKY	-	-	-	-	235	179	1	3	
Power Module DNL10S0A0S16PFD	140	180	210		230	179	1-3	3	0,5-3
J-STD-020	100	150	215	235	260	179	3	6 (4)	

Tabla 1.Datos de temperatura del perfil de soldadura.

Tiempo (s)	ts	tL	tp	t(25 to tp)	tover200°
Power Module OKY	120	60-75			
Power Module DNL10S0A0S16PFD	60-120		5		40-50
J-STD-020	60-120	60-150	10-30	6min	

Tabla 2.Datos de tiempo del perfil de soldadura.

Con los datos de las dos tablas anteriores sacamos las especificaciones del perfil de soldadura.

Especificaciones					
RamUpRate	1,5	Time soak (ts)	90	Start point T0°C	25
RampDownRate	2	ReflowTime (tL)	65	TempLiquid	179
RampUpRateSoakZone	0,056	Time Peak (tp)	5	TempPeakMax (Tp)	235
RamUpRatePreheat	1,5			TempSoak	145

Tabla 3.Especificaciones del perfil de soldadura.

Como especifica el estándar J-STD-020, tres es el número máximo de recalentamientos que se pueden configurar dentro del perfil, esto quiere decir que podemos aumentar hasta tres veces la temperatura hasta llegar a la temperatura pico después del precalentamiento, en nuestro caso solo haremos un aumento. En la pasta de soldadura, el plomo y las resinas toxicas actúan como un catalizador en el proceso de fusión del estaño, por lo que las temperaturas necesarias para conseguir el estado líquido son menores que en pastas de soldar sin plomo, por otro lado el plomo es altamente toxico y hay que tomar medidas especiales para su tratamiento como llevar guantes para manejarlo, evitar la contaminación de utensilios, no ingerir, no respirar gases producidos por la pasta de soldar, no contaminar agua y deshacerse de cualquier cosa contaminada en un punto limpio.

Una vez obtenidas las especificaciones del perfil de soldadura de la Tabla 3, las introducimos de forma manual en el horno LPKF Protoflow. El horno tiene pre-programados perfiles que hacen más fácil la configuración. En nuestro caso el más parecido al perfil obtenido es LF-SMALL FR4, 1.5mm donde:

- “LF”- Lead free, define la temperatura optima de las fases de precalentamiento y reflow para pastas de soldar sin plomo.
- “SMALL”- define el tamaño del PCB, “small”-hasta 80x50mm, “medium”. Hasta 100x160mm, “large” para superiores a 100x160mm
- “FR4”- define el material del PCB
- “1.5mm”- define el espesor de la placa.

La Kinnic tiene un tamaño medio, con unas dimensiones de 68.9x152mm, un espesor de 1.55mm y el material utilizado en su fabricación es el FR4. La pasta de soldar utilizada contiene plomo y resinas toxicas, debido a esto, modificamos las temperaturas óptimas de las fases de precalentamiento y reflow a las de las especificaciones de la Tabla 3. Una vez configurado el horno introducimos la placa con los componentes colocados sobre los pads con la pasta de soldar y esperamos a que termine el proceso.

Finalmente, con la placa ya soldada se realizaron pruebas de continuidad y corrección de posibles errores durante el proceso de soldadura. Los únicos problemas encontrados se debieron a que se crearon multitud de cortocircuitos en los componentes con mayor densidad de pads a causa de que el espesor de la máscara de soldadura era muy grande o que se utilizó demasiada pasta de soldar. Para solventar este problema se hizo uso de un de-soldador y una rejilla de cobre para quitar estaño de las patas de los conectores hembra del módulo FPGA (el más problemático dado que su pitch o separación entre conexiones es muy pequeño, de 0.5mm).

2.4.5. Pruebas con Vivado

En la primera versión de Kinnic fabricada se detectó que la placa poseía algún error en el diseño o en el proceso de soldadura. Para descartar los fallos por defectos en el proceso de soldado construimos una segunda Kinnic con un procedimiento diferente. El objetivo de realizar este test con la herramienta Vivado es comprobar si se resolvió el problema en la placa soldada con horno de refusión.

Para estas pruebas utilizamos los mismos métodos que se usaron con la primera versión fabricada de Kinnic. Consiste en obtener los diagramas de ojo de las conexiones de PCIe para comprobar si las conexiones de PCIe funcionan correctamente en la placa construida con horno de refusión. Para ello utilizamos un script escrito en TCL y la herramienta Vivado. Este script se encarga de hacer pruebas sobre un diseño específico enviando secuencias de bits por cada pista del PCIe, recoger los bit-error-rate y pintarlos en una gráfica. Para programar la FPGA necesitamos conectar la placa al ordenador mediante un adaptador JTAG/USB de Xilinx y así poder realizar pruebas con ella y recoger los resultados en Vivado, esto se muestra en la Ilustración 14.



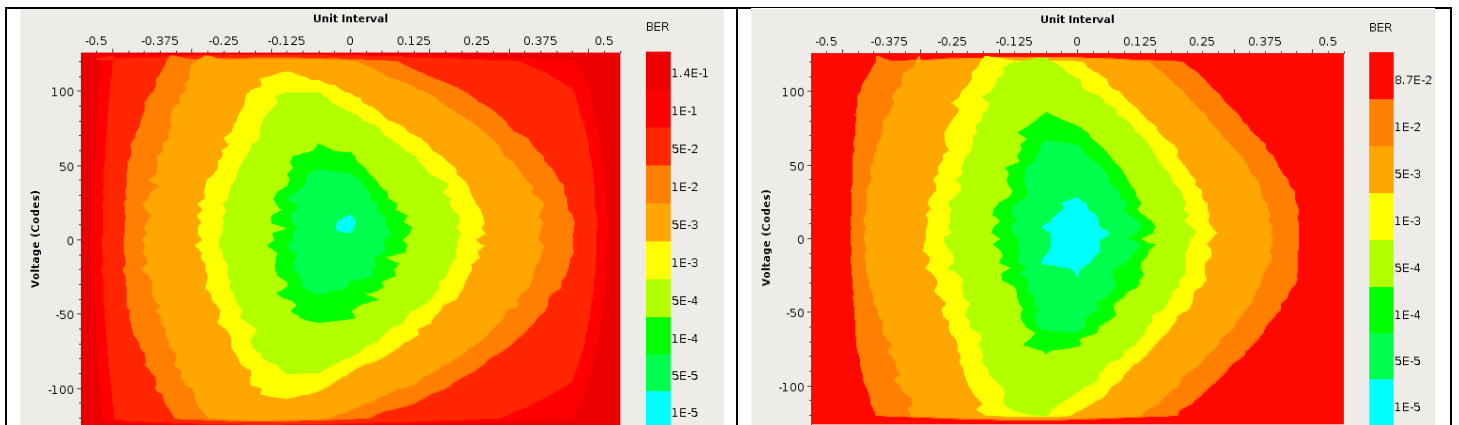
Ilustración 14. Conexión JTAG para realizar pruebas con Vivado.

Como se muestra en la Ilustración 15, al conectar la placa con el ordenador, este la detecta y la añade en su lista de periféricos. Con esto se deduce que hay comunicación entre ambas partes a través del conector PCIe, esto sucede porque la velocidad de transmisión en esta comunicación con el ordenador es muy inferior a la máxima permitida por PCIe gen2. El siguiente paso es programar con Vivado a través del conector JTAG la FPGA para que realice las pruebas.

```
03:00.0 Signal processing controller: Device 19aa:e004 (rev 04)
07:00.0 FireWire (IEEE 1394): VIA Technologies, Inc. VT6315 Series Firewire Cont
roller (rev 01)
08:00.0 SATA controller: Marvell Technology Group Ltd. 88SE9128 PCIe SATA 6 Gb/s
RAID controller with HyperDuo (rev 11)
09:00.0 USB controller: ASMedia Technology Inc. ASM1042 SuperSpeed USB Host Cont
roller
0a:00.0 USB controller: ASMedia Technology Inc. ASM1042 SuperSpeed USB Host Cont
```

Ilustración 15. Lista de periféricos

Al ejecutar el programa en la FPGA Kintex-7 a temperatura ambiente, el programa Vivado nos devuelve los siguientes diagramas de ojo para los cuatro canales de recepción del PCIe:



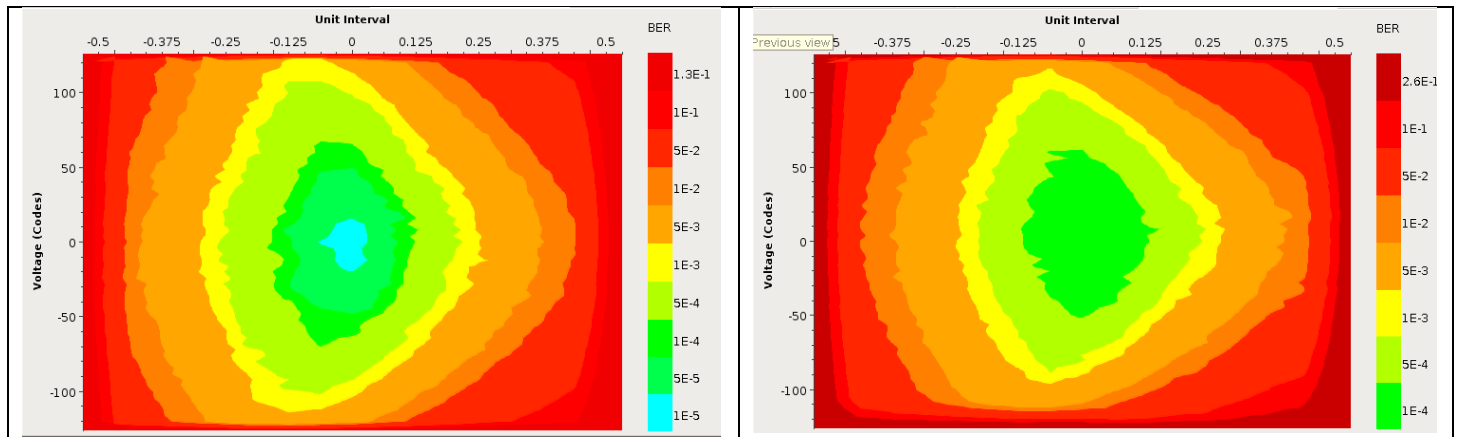


Ilustración 16. Diagramas de ojo obtenidos con Vivado a temperatura ambiente, Kinnic_v0 soldada con horno de reflujo.

Cada imagen muestra el BER obtenido en cada canal, los colores rojos indican las zonas donde el BER es mayor y los colores más azulados donde es menor. Estas imágenes se diferencian de las obtenidas en el apartado 2.4.3.1 en que ahora no se muestran las señales superpuestas, sino que se muestra el BER para cada voltaje y unidad de tiempo. Posteriormente realizamos otra prueba con la placa conectada al ordenador durante más de una hora, al llevar tanto tiempo en funcionamiento, su temperatura se elevó hasta 55°C. Como se puede observar en los siguientes resultados, a mayor temperatura, se aprecia una mayor apertura en los diagramas de ojo. Una apertura mayor significa obtener menor BER para un rango mayor de voltajes e unidades de tiempo.

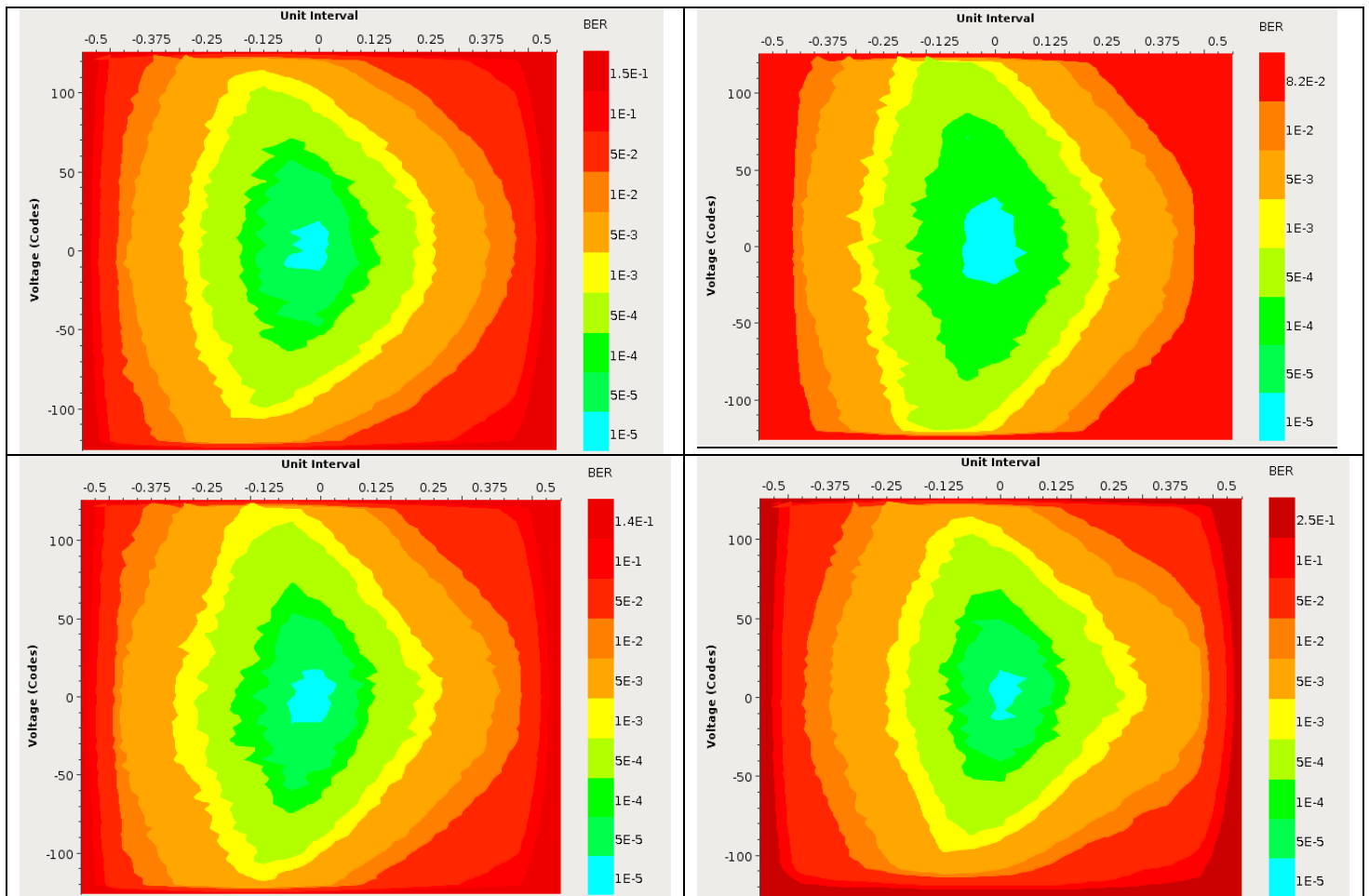


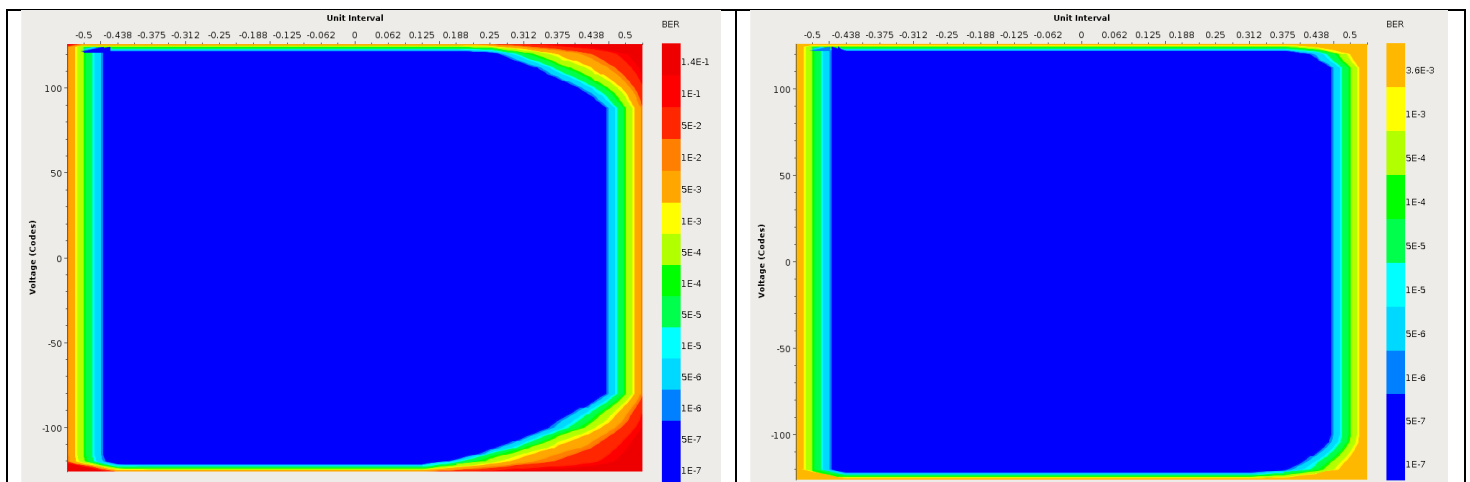
Ilustración 17. Diagramas de ojo obtenidos con Vivado a 55°C, Kinnic_v0 soldada con horno de reflujo.

Esta mejoría en los resultados se puede deber a que la temperatura modifica en pequeña proporción el comportamiento de los componentes de la placa. Pese a esto, los resultados obtenidos son iguales que en la versión soldada a mano de Kinnic. Estos resultados descartan los posibles errores debidos a un defecto en la soldadura. La última opción es que hubiese sido un problema de diseño de alguno de los componentes de la placa. La solución a este problema empieza por revisar las hojas de datos de todos los componentes de la placa y comprobar si en el esquemático se han realizado correctamente las conexiones, si falta algún componente, si los valores de los condensadores, resistencias e inductancias son los correctos o algún otro posible despiste. Inicialmente analizamos el módulo de TE, con suerte dimos rápidamente con el posible fallo, pues en la hoja de datos de este módulo se especificaba que si se utilizaba la línea de reloj diferencial del PCIe se debía colocar un condensador de acoplo CA en cada pista para eliminar la componente continua. Revisando el diseño nos dimos cuenta de que faltaban estos condensadores, así que, como se muestra en la Ilustración 18, procedimos a añadirlos de forma provisional en ambas versiones fabricadas para comprobar si se solucionaba el problema.



Ilustración 18. Condensadores de acoplo AC en la línea de reloj de PCIe

La capacitancia de los condensadores de acoplo CA que se utilizaron para el arreglo es la misma que se utiliza en las pistas de datos del PCIe $C=0.1\mu\text{F}$. Ejecutamos de nuevo el programa en ambas placas con los condensadores añadidos. En las siguientes imágenes se muestran los diagramas de ojo elaborados con Vivado de los cuatro canales receptores del PCIe.



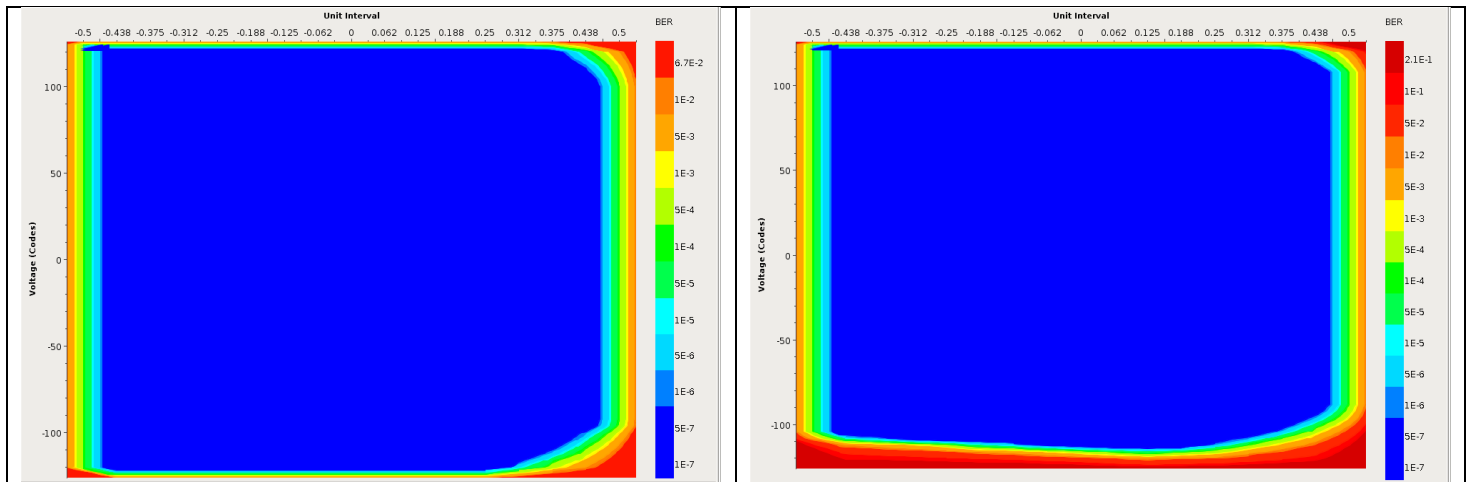


Ilustración 19. Diagramas de ojo obtenidos con Vivado, Kinnic_v0 con condensadores de acoplo AC añadidos.

Los resultados obtenidos muestran un diagrama de ojo con casi el mejor resultado que se podía esperar ya que la amplitud en voltaje y unidades de tiempo están cercanos a su máximo valor.

2.5. Conclusiones

Tal y como habíamos predicho con HyperLynx, en la Ilustración 19 se observa como los diagramas de ojo de la versión corregida tienen una amplia apertura de ojo. Con esto hemos comprobado que el primer diseño de Kinnic funciona con una breve corrección en su diseño, ya que tan solo faltaban dos condensadores de acoplo CA en las pistas de reloj diferenciales del PCIe.

Esta primera versión de Kinnic utiliza un módulo de TE diseñado específicamente para este proyecto, esta decisión supone un gran aumento en el precio del módulo que encarece mucho los costes de producción. Como solución a este problema económico decidimos diseñar una segunda versión que permitiera utilizar un módulo de TE con un encapsulado de FPGA más económico que abaratase los costes de producción.

3. Análisis del diseño

3.1. Motivación

Según se ha visto en la evaluación del estado del arte, la primera versión de Kinnic es operativa y funcional. Pese a esto, los costes de producción son muy elevados debido a la necesidad de que TE fabrique especialmente para este diseño un módulo que permita velocidades de transmisión de 10.3125Gbps y así poder conectar directamente los conectores SFP+ al módulo de TE. Trenz Electronic fabrica módulos estándar más baratos que no explotan la velocidad máxima de transmisión que permiten las FPGA Kintex-7 en sus GTX. Según las especificaciones de Kintex-7 [17], disponemos por defecto de un LogiCORE IP que permite que los GTX soporten los protocolos RXAUI/XUAI, estos protocolos utilizan velocidades que permitirían utilizar un módulo de TE estándar. Para convertir los canales del SFP+ de 10Gbps Ethernet a RXAUI existen los denominados chips de medio físico (PHY), estos permiten transformar las señales de datos provenientes de la interfaz XGMII (10-Gigabit Media-Independent Interface) a RXAUI (Reduced Pin eXtended Attachment Unit Interface). Por lo que una segunda versión que incluya un chip de medio físico podría permitir abaratar los costes de producción.

3.2. Objetivos

Con este segundo análisis del diseño se pretende buscar mejoras que permitan minimizar los costes en la selección de productos asegurando la calidad y las necesidades del sistema, así como una mayor estandarización en el diseño de cara a una posible producción.

3.3. Mejoras en el diseño

Los cambios principales en el diseño son la inclusión de un chip de medio físico y la elección de un módulo FPGA estándar de TE. La primera versión incluía un modo de uso standalone y componentes que solo se podían utilizar en este modo. De cara a una posible producción no sería necesario el modo de uso standalone, ya que solo se pretendía utilizar para testear la placa, por lo que, en esta segunda versión, al quitar este modo, todos los componentes asociados pueden eliminarse.

3.3.1. Módulo FPGA de Trenz Electronic XC7K160T-2CF

La versión estándar del módulo de TE XC7K160T-2C1 (diseñado específicamente para la primera versión de la Kinnic) es el XC7K160T-2CF. La única diferencia respecto al no estándar es la calidad de las conexiones del silicio de la FPGA a su encapsulado y las patas de este, ya que esta versión no permite llegar a los 10Gbps. Las características y el modo de funcionamiento son iguales que los de la versión específica del módulo de TE expuestas en el apartado 2.4.2.1. La posición de los pines (Pinout), los requisitos de alimentación y los componentes asociados al

módulo XC7K160T-2CF son los mismos que los del módulo XC7K160T-2C1, por lo que se puede reutilizar toda esta parte del diseño de la primera versión.

El módulo XC7K160T-2CF también se basa en una FPGA Kintex-7, esta FPGA tiene plantillas predefinidas que automatizan la configuración de los transceptores GTX para protocolos estándar. Estos transceptores GTX admiten 10 Gb Attachment Unit (XAUI) a 3.125 Gb/s y 10 Gb Reduced Attachment Unit (RXAUI [18]) a 6.25 Gb/s. Dado que cuatro de los ocho GTX están reservados para el conector PCIe, RXAUI es la única interfaz que podemos utilizar con dos GTX por cada puerto Ethernet.

3.3.2. Chip de medio físico (PHY)

PHY es una abreviatura de la capa física del modelo OSI, se trata de un chip que implementa las funciones de la capa física. El chip de medio físico conecta un dispositivo de la capa de enlace de datos con un medio físico como una fibra óptica. A menudo se compone de una subcapa de codificación física (PCS – Physical Coding Sublayer) y una capa de medio físico dependiente (PMD – Physical Medium Dependent). La subcapa PCS se encarga de codificar y decodificar el dato que fue transmitido y recibido, el propósito de esta codificación es facilitar al receptor la recuperación de la señal. El Ethernet PHY (Ethernet physical transceiver) implementa la porción de la capa física de los estándares 1000BASE-T, 100BASE-TX, y 10BASE-T [19].

Más específicamente, el chip Ethernet PHY implementa el hardware que cumple las funciones de enviar y recibir tramas Ethernet, es una interfaz entre el dominio analógico de la modulación lineal de Ethernet y el dominio digital de la señalización de paquetes en la capa de enlace. El PHY generalmente no maneja el direccionamiento MAC, ya que es trabajo de la capa de enlace. De forma similar, la funcionalidad de Wake-On-LAN (WOL) y Boot ROM se implementa en la tarjeta de interfaz de red (NIC) que puede tener PHY, MAC y otras funcionalidades integradas, en nuestro caso se encarga de la implementación un LogiCORE IP de la FPGA.

Algunos ejemplos de chips de medio físico son la familia de Microsemi SimpliPHY y SynchroPHY VSC82xx / 84xx / 85xx / 86xx. En nuestro diseño necesitamos concretamente un PHY que permita manejar dos puertos 10GbE provenientes de dos SFP+ y los transforme a RXAUI/XAUI. El modelo VSC8490 [5] de Microsemi cumple con todos estos requisitos.

3.3.2.1. VSC8490

La familia de transceptores Ethernet 10G de un puerto y dos puertos VSC8489, VSC8490 y VSC8491 de Microsemi ofrecen una solución altamente flexible ideal para “optical module host card applications”. Están diseñados para cumplir con todos los requisitos de fibra SFP + SR / LR / ER / ZR, MMF compensado con EDC y cable directo (de acuerdo con las especificaciones SFF-8431 [20]). Estos dispositivos compensan las deficiencias ópticas en aplicaciones SFP + junto con las degradaciones del PCB. La familia de dispositivos VSC8489/90/91 también ofrece compatibilidad total con 10GBASE-KR (incluida la autogestión y capacitación de transmisión), así como opciones de reloj altamente flexibles para Ethernet LAN, operaciones WAN y Synchronous Ethernet (Sync-E).

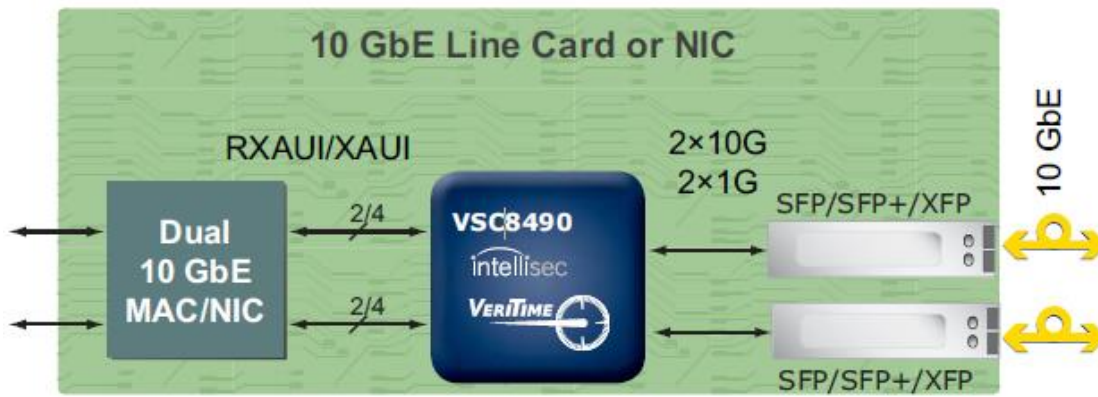


Ilustración 20. VSC8490 para aplicaciones SFP+ [5].

Los dispositivos integran tecnologías altamente innovadoras como Intellisec[™] y VeriTime[™] de Microsemi, que proporcionan IEEE 802.1AE MACsec compatible con 128/256 bits para encriptación AES de paquetes y sellado (Time Stamping) de un solo dígito de un dígito IEEE 1588PTPv2. También cuentan con una variedad de funciones de instrumentación integradas en el chip (incluyendo un conjunto completo de funcionalidades BIST, bucles de línea y cliente, generación de patrones y detección de errores) minimizan el tiempo de desarrollo del producto.

3.3.2.2. RXAUI/XAUI

La interfaz de la unidad de conexión de 10 Gigabit (XAUI) es un estándar que permite extender XGMII entre la capa MAC y PHY de 10 Gigabit Ethernet (10 GbE) definida en la cláusula 47 del estándar IEEE 802.3ae. Desarrollado por IEEE 802.3ae 10 Gigabit Ethernet Task Force [21], XAUI entrega 10 Gb / s de datos usando cuatro pares de señales diferenciales en cada dirección. Su naturaleza compacta y su rendimiento robusto lo hacen ideal para aplicaciones de módulos de chip a chip, placa a placa y chip a óptico. El propósito de extender XGMII, que está compuesto por un XGXS (subcapa de XGMII Extender) en el extremo MAC, un XGXS en el extremo PHY y una XAUI entre ellos, es aumentar la distancia operativa del XGMII y reducir el número de señales de la interfaz. El principal objetivo es aumentar la posible separación física entre los componentes MAC y PHY en un sistema Ethernet de 10 Gigabit distribuido a través de una placa de circuito impreso.

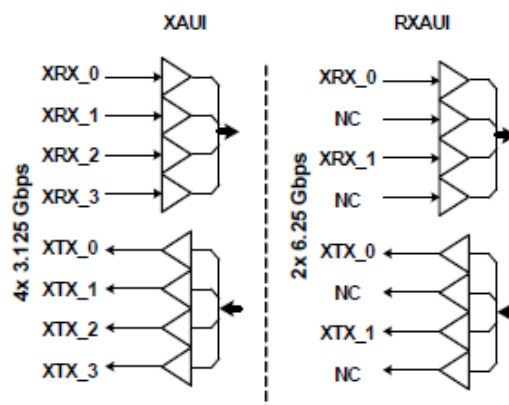


Ilustración 21. RXAUI/XAUI [5].

Arquitectura XAUI

Bajo el modelo de la Organización Internacional de Estándares de Interconexión de Sistemas Abiertos (OSI), Ethernet es fundamentalmente un protocolo de la capa 2. Un dispositivo Ethernet de la capa PHYsical (PHY), que corresponde a la Capa 1 del modelo OSI, conecta los medios (ópticos o de cobre) a la capa MAC, que corresponde a la capa 2 del modelo OSI.

La especificación 802.3ae define dos tipos de PHY: LAN PHY y WAN PHY. WAN PHY agrega a las funciones de LAN PHY un conjunto de funciones. La arquitectura de Ethernet divide aún más el PHY (Capa 1) en un PMD (Physical Media Dependent) y una Subcapa de Codificación Física (PCS). Los dos tipos de PHY se distinguen únicamente por PCS.

Entre el MAC y el PHY está el XGMII, o interfaz independiente de medios de 10 Gigabit. El XGMII proporciona una operación full-dúplex completa a una velocidad de 10 Gb / s entre MAC y PHY. Cada dirección es independiente y contiene una ruta de datos de 32 bits, así como señales de reloj y control. En total, la interfaz tiene 74 bits de ancho.

XGMII resulta un desafío significativo para enrutar el bus con una distancia más corta que la recomendada de 7 cm. Esto se debe a que proporciona un canal de 10 Gb / s, la transmisión separada de reloj y datos junto con el requisito de tiempo para enganchar los datos (latch data) tanto en los flancos ascendentes como en los descendentes del reloj. Por esta razón, las aplicaciones con módulos de chip a chip, de placa a placa y de chip a óptico no son prácticos con esta interfaz. En consecuencia, el bus XGMII pone muchas limitaciones en la cantidad de puertos que pueden implementarse en una tarjeta de línea de sistema (system line card).

Para superar estos problemas, el grupo de trabajo de 10 Gigabit Ethernet desarrolló la interfaz XAUI. Se trata de una interfaz full-duplex que utiliza cuatro enlaces diferenciales en serie con sincronización automática en cada dirección para lograr un rendimiento de datos de 10 Gb / s. Cada enlace funciona a 3.125 Gb / s para transmitir los datos y la sobrecarga asociada a la codificación 8B / 10B. La naturaleza del reloj (self-clocked) elimina las preocupaciones de skew entre el reloj y los datos, y amplía el alcance funcional del XGMII en aproximadamente otros 50 cm. La conversión entre las interfaces XGMII y XAUI ocurre en XGXS (subcapa XAUI Extender).

La interfaz XGMII está organizada en 4 carriles de 8 bits. En el lado de la fuente de la interfaz XAUI, los bytes de un carril determinado, así como el reloj se convierten dentro del XGXS en un flujo de datos con codificación 8B / 10B. Cada flujo de datos se transmite a través de un único par diferencial que funciona a 3.125 Gb / s. En el lado de destino de la interconexión, el reloj se recupera de la secuencia de datos entrante, se decodifica y luego se vuelve a asignar al formato XGMII de 32 bits. Por lo tanto, la interfaz XGMII de 74 pines de ancho se reduce a una interfaz XAUI que consta de 8 pares diferenciales o 16 pines. Además, el esquema de sincronización de reloj de origen permite a XAUI cruzar dominios de reloj, lo que elimina la complicada corrección de temporización dentro del sistema.

RXAUI

En los últimos años, el mercado de 10 Gigabit Ethernet se ha expandido rápidamente y continuará creciendo en los siguientes años. Este rápido crecimiento es el resultado de la reducción de costes, la demanda del mercado y una madurez en la tecnología. En los próximos años, se necesitarán nuevos productos para permitir un mayor ancho de banda, mayor densidad de puertos y menor consumo de potencia con coste reducido. Debido a esto se decidió diseñar el estándar RXAUI.

El estándar RXAUI está totalmente descrito en DN-DS-RXAUI-Spec v.1.0 por Dune Networks y Marvell [22] . Reduced XAUI (RXAUI) se basa en SERDES de 6.25 GHz. Como se muestra en la Ilustración 21, requiere dos carriles, en lugar de los cuatro SERDES estándar de 3.125 GHz XAUI, para lograr la misma tasa efectiva de 10 Gbps. RXAUI permite doblar el número de puertos de 10 GbE soportados por un número dado de SERDES, lo que conduce a una reducción significativa de la potencia, así como de los costes. Se eligieron SERDES de 6,25 GHz porque proporciona los mW / Gbps y mm ² / Gbps óptimos para Tecnologías de 90/65/45 nm.

RXAUI se implementa como una capa adaptadora (o capa Mux / Demux) entre los dos carriles SERDES (PMA) de 6.25 GHz y la subcapa XAUI PCS del estándar de la cláusula 48 de IEEE 802.3ae. Es introducido como una capa Mux / Demux en línea, que no requiere cambios en el estándar 10 GbE MAC y PCS o cualquiera de las interfaces entre capas definidas por IEEE. La capa Mux / Demux no altera los símbolos de 10 bits. Esto preserva los diseños existentes creados para ASIC, NPU y FPGA.

3.4. Conclusión

El estándar RXAUI puede ser utilizado por los proveedores de sistemas que implementan un ASIC o FPGA. En concreto Xilinx tiene un LogiCORE™ IP RXAUI que implementa este protocolo y sirve para las FPGA 7 Series como la Kintex-7. Esto nos permite utilizar el chip de medio físico VSC8490 de Microsemi y el módulo de TE XC7K160T-2CF para abaratar los costes de producción, además, al no utilizar el modo standalone en el nuevo diseño, podremos eliminar parte de los componentes asociados a este modo de utilización.

El módulo de TE consta de una FPGA Kintex-7 que dispone de 8 GTX, de los cuales, 4 son utilizados por PCIe a 5Gbps y los otros 4 por el chip de medio físico (PHY) para los canales RXAUI a 6.25Gbps (dos por cada conector SFP+). Con estas mejoras es posible diseñar una segunda versión de Kinnic con mayor nivel de estandarización y con menor coste de producción.

4. Diseño de Kinnic con PHY

4.1. Motivación

En el análisis de diseño del apartado 3 se ha demostrado que con las tecnologías existentes tenemos soluciones que permiten reducir la velocidad de los canales provenientes del SFP+ de 10 GbE a 6.25Gbps con el estándar RXAUI. Gracias a esto, podemos utilizar el módulo de TE estándar XC7K160T-2CF que es mucho más barato que el XC7K160T-2C1, y así poder reducir los costes y aumentar el grado de estandarización.

4.2. Objetivos

El segundo diseño de Kinnic busca integrar el chip de medio físico VSC8490 de Microsemi junto con el módulo FPGA estándar XC7K160T-2CF de TE en un mismo diseño intentado conservar una parte reutilizable del primer diseño.

- Inicialmente, en el esquemático de la primera versión Kinnic_v0 que se muestra en el anexo II, quitaremos los componentes prescindibles, ya sea por la eliminación del modo de utilización standalone o por los cambios surgidos por el intercambio con el nuevo módulo de TE.
- En segundo lugar, analizaremos cuáles son los componentes necesarios para el correcto funcionamiento del chip de medio físico y elegirlos siguiendo el criterio de minimizar los costes manteniendo la calidad del sistema.
- Finalmente, con ayuda de las hojas de datos de cada componente, se procederá a la realización del esquemático de esta segunda versión y la generación del BOM.

4.3. Modificación Standalone

En este segundo diseño eliminamos el modo de utilización standalone, ya que su principal objetivo era el testeado de la placa. Este modo de utilización tiene asociados varios componentes del primer diseño Kinnic_v0 que ahora son prescindibles. Los primeros cambios propuestos respecto el esquemático de la primera versión expuesto en el anexo II son los siguientes:

- Al solo utilizar la placa conectándola a un slot de PCIe no se necesita el conector JACK de alimentación J1. Ahora, la única entrada de alimentación es la que proporciona el conector PCIe.
- Los conectores PMOD J3 y J4 ya no son necesarios, ni tampoco los condensadores de desacoplo C22 y C23 de estos conectores.
- Junto con los conectores PMOD, podemos eliminar los diodos de protección D11, D12, D13 y D14.

- Dado que ahora no se va a usar el banco 12 de la FPGA, no necesitamos el plano de alimentación de +3.3V_IO, ni el módulo de alimentación U6, el cual generaba +2.5V para los periféricos conectados al conector PMOD. También eliminamos el switch JP3, ya que se utilizaba para elegir el voltaje de alimentación de los periféricos conectados a los conectores PMOD entre +2.5V y +3.3V.

4.4. Análisis de componentes

Antes de poder elegir los componentes del nuevo diseño y analizar sus características, necesitamos averiguar las necesidades del chip de medio físico (PHY). Una vez hayamos obtenido los requisitos del chip PHY podremos avanzar en el análisis y elegir nuevos componentes.

4.4.1. Chip de medio físico

Tal como se ha visto anteriormente, tenemos que analizar la hoja de datos del chip de medio físico [5] y su placa de evaluación [23] para deducir que otros componentes necesitaremos en nuestro diseño. El chip de medio físico soporta multitud de modos de operación, en nuestro caso queremos que opere en modo LAN 10.3125 Gbps, y de forma opcional queremos poder configurarlo para que opere con Synchronous Ethernet y con el bloque 1588 que incluye el PHY.

4.4.1.1. Interfaces de gestión

En primer lugar, examinamos las interfaces de gestión (Management Interfaces). El chip de medio físico cuenta con siete interfaces de control y monitorización.

- MDIO
- SPI slave
- Two-wire serial (slave)
- Two-wire serial (master)
- Push out SPI master for IEEE 1588 time stamp data
- GPIO
- JTAG

Según se especifica en la hoja de datos, el dispositivo soporta tres interfaces para el acceso a los registros de estatus y de configuración: SPI slave, MDIO y Two-wire Serial slave. Solo puede haber una de las interfaces activa al mismo tiempo y se recomienda el uso de la interfaz SPI slave. Hechas las consideraciones anteriores, dado que solo se necesita una de ellas, utilizaremos la interfaz SPI slave y MDIO con cuidado de no activarlas a la vez. Por otro lado, está la interfaz JTAG que también vamos a utilizar y la interfaz GPIO. La interfaz GPIO permite multitud de funciones opcionales como el manejo de leds, acceso a lectura/escritura de algunos registros o el manejo de interrupciones. Dichas funcionalidades no las necesitamos en este diseño, por lo que dejaremos la interfaz GPIO sin conectar tal como se especifica en [5] (página 165).

4.4.2. Reloj (Clocking)

El dispositivo VSC8490-11 incluye dos PLL, uno en el lado de la línea y otro en el lado del host. El PLL del lado de la línea utiliza las señales XREFCK o WREFCK como reloj de referencia. El PLL del lado del host usa XREFCK. El dispositivo VSC8490-11 utiliza tres relojes de referencia de nivel CML de entrada diferencial: XREFCK, WREFCK, y SREFCK. El reloj XREFCK es necesario todo el tiempo y puede ser 156.25 MHz o 125 MHz. El dispositivo VSC8490-11 presenta un sintetizador de frecuencia interno que permite el funcionamiento en los modos 10G LAN / 10G WAN / 1G LAN usando una sola entrada de reloj de referencia (XREFCK).

Se recomienda que el PLL del lado de la línea este controlado por XREFCK para tener compatibilidad con chips PHY de la generación anterior, sin embargo, se puede usar WREFCK para manejar el lado de la línea PLL. Para las aplicaciones Ethernet sincrónicas con non-hitless XREFCK, SREFCK podría usarse para manejar el PLL del lado de la línea.

La frecuencia XREFCK debe decidirse antes del encendido y se selecciona con los pines MODE1 y MODE0. La siguiente tabla muestra los ajustes de pin MODE para las diferentes frecuencias XREFCK.

MODE1 Pin	MODE0 Pin	XREFCK Frequency
0	0	156.25 MHz (default)
0	1	Reserved
1	0	125 MHz
1	1	Reserved

Tabla 4. Selección de frecuencia de XREFCK [5].

Dado que queremos que opere en modo 10Gb LAN necesitaremos el reloj XREFCK operando a 156.25MHz, para ello los pines MODE deben estar a 0. Para soportar Ethernet síncrono y el bloque 1588 también se pueden configurar los relojes SREFCK a 156.25MHz y el reloj CLK1588 a 125MHz. El reloj WREFCK se utiliza solo para el modo WAN, por lo que no es necesario conectarlo en nuestro diseño.

Para generar estos relojes hacemos uso del componente Si5338C-B-GM [24], este componente viene recomendado en el diseño de la placa de evaluación del chip de medio físico [23].

Si5338C

El Si5338 es un generador de reloj de alto rendimiento capaz de sintetizar cualquier frecuencia en cada uno de los cuatro controladores de salida del dispositivo. Este IC es capaz de reemplazar hasta cuatro osciladores de cristal de frecuencia diferentes. Usando su tecnología patentada MultiSynth™, el Si5338 permite la generación de cuatro relojes independientes con una precisión de 0 ppm. Cada reloj de salida se puede configurar independientemente para admitir varios formatos de señal y voltajes de suministro. El dispositivo es programable a través de un I2C (Interfaz serie compatible con SMBus) y admite operar a +1.8V, +2.5V o +3.3V. La programación del dispositivo con I2C es más fácil con ClockBuilder™, un software de escritorio disponible en [25]. El circuito típico de aplicación del Si5338 es el que se muestra en la Ilustración 22.

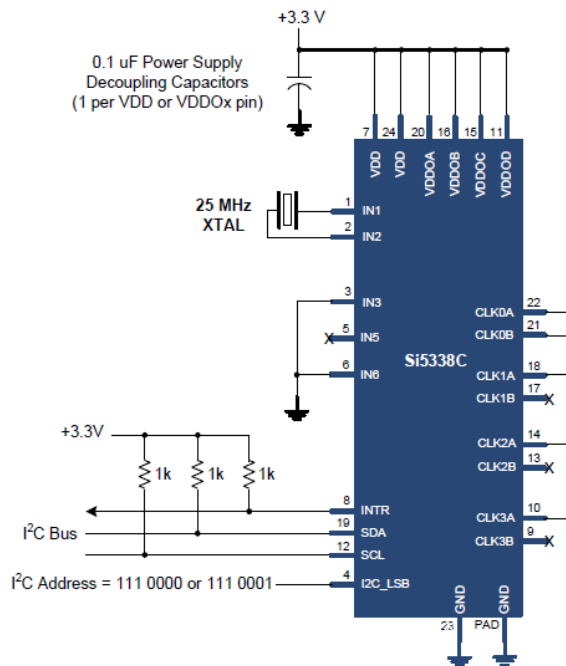


Ilustración 22. Si5338 circuito típico de aplicación [24].

Este generador de reloj admite multitud de entradas de referencia:

- Cristal externo: 8 to 30 MHz
- Entrada CMOS: 5 to 200 MHz
- Entrada SSTL/HSTL: 5 to 350 MHz
- Entrada diferencial: 5 to 710 MHz

Dispone de hasta tres entradas de reloj, dos diferenciales y una simple. En nuestro caso utilizaremos un cristal externo en la primera entrada diferencial y las otras dos las dejaremos sin utilizar. Según especifica la hoja de datos del Si5338, si solo utilizamos un cristal externo en la entrada diferencial podemos no utilizar un circuito de acondicionamiento si se utiliza un cristal que cumpla las características descritas en el AN360 [26] de Silicon Labs. Con estas especificaciones elegimos el cristal recomendado FA-238 25.0000MB-C3 de EPSON que opera a 25MHz, evitando así el circuito acondicionador.

Para su configuración utiliza un bus de datos I2C que conectaremos directamente a la FPGA con las resistencias pull-up típicas de 10K Ω . También dispone de un pin de interrupción high-logic (INTR) para indicar una condición de pérdida de señal (LOS), una pérdida de bloqueo de PLL (PLL_LOL), o que el PLL está en proceso de adquisición de bloqueo (SYS_CAL). Este pin también lo conectamos directamente a la FPGA con una resistencia pull-up de 10K Ω .

Las salidas del generador de reloj pueden configurarse mediante registros en cualquiera de estos formatos. LVPECL/LVDS, HCSL, CMOS y SSTL/HSTL. Dado que el chip de medio físico utiliza CML, necesitamos adaptar las salidas LVPECL del Si5338. Para ello Silicon Labs nos proporciona el AN408 [27], el cual explica los tipos de terminaciones que utiliza el Si5338 y cómo adaptarlas a otros formatos. En las especificaciones del formato LVPECL del AN408 se explica cómo adaptar una salida LVPECL a un receptor CML. Para realizar dicha adaptación seguiremos el siguiente esquema:

- Para los +2.5V escogemos también un regulador lineal simple con salida fija como el TPS73625MDBVREP.
- El chip de medio físico funciona en mayor parte con el voltaje bajo de +1.0V, por lo que necesitaremos un regulador lineal que permita corrientes de salida de más de 2.8A como el MIC61300-10YMME. Este regulador presenta una salida de tensión fija a +1.0V y permite corrientes de salida de 3.0A. También dispone de un pin de sensado que controla que la tensión de salida tenga siempre el valor de +1.0V.

Los tres reguladores los acondicionamos según los esquemas de aplicación típicos que se aconsejan en sus hojas de datos.

4.4.3.1. Condensadores de desacoplo

Según Henry W.OTT en su libro “Electromagnetic Compatibility” [11], en la mayoría de los sistemas electrónicos, el sistema de distribución de suministro de energía de corriente continua es común a muchos circuitos. Por lo tanto, es importante diseñar la distribución de potencia de CC para que no sea un canal para el acoplamiento del ruido entre los circuitos conectados al sistema. El objetivo de un sistema de distribución de energía es suministrar un voltaje de CC casi constante para todas las cargas bajo condiciones de carga variable. Además, cualquier señal de ruido generada por la carga no debería generar un voltaje de CA a través del bus de potencia de CC. Idealmente, una fuente de alimentación es una fuente de voltaje con impedancia cero. Desafortunadamente, los suministros prácticos no tienen impedancia cero, por lo que representan una fuente de acoplamiento de ruido para los circuitos conectados a ellos. No solo los suministros tienen una impedancia finita, sino que también los conductores utilizados para conectarlos a los circuitos se suman a esta impedancia.

Debido a que la fuente de alimentación y su sistema de distribución no son ideales, es una buena práctica proporcionar algún desacoplamiento en cada circuito o grupo de circuitos para minimizar el acoplamiento de ruido a través del sistema de suministro. Se pueden usar redes de desacoplamiento de capacitor-resistor y capacitor-inductor para aislar los circuitos de la fuente de alimentación, para eliminar el acoplamiento entre circuitos, y para evitar que el ruido de la fuente de alimentación ingrese al circuito.

El desacoplamiento de la fuente de alimentación es un medio para disociar la función de un circuito del bus de energía que sirve al circuito. Esto proporciona dos efectos beneficiosos:

- Reduce el efecto de un circuito integrado (IC) sobre otro (acoplamiento inter-IC).
- Proporciona una baja impedancia entre la alimentación y la tierra, por lo que el IC opera según lo previsto por sus diseñadores (acoplamiento intra-IC).

Cuando conmuta una puerta lógica, se produce una corriente transitoria dI en el sistema de distribución. Este flujo transitorio fluye tanto en la tierra como en los sistemas de distribución. La corriente transitoria que fluye a través de las inductancias de alimentación y de tierra produce un voltaje de ruido que aparece entre los terminales V_{cc} y tierra de la puerta lógica. Además, la corriente transitoria puede fluir alrededor de un gran bucle, por lo que puede convertirse en una antena de bucle eficiente. La magnitud del voltaje transitorio de la fuente de alimentación se puede reducir disminuyendo las inductancias o disminuyendo la tasa de cambio de la corriente (dI / dt) que fluye a través de estas inductancias. La inductancia puede reducirse, pero no eliminarse, mediante el uso de planos de energía y de tierra o polígonos. El área del bucle y la inductancia se pueden minimizar al suministrar la corriente transitoria desde otra fuente, como un condensador o condensadores, ubicados cerca de la puerta lógica. El número de capacitores, su tipo, valor y ubicación con respecto al IC son importante para determinar su efectividad.

Los condensadores de desacoplo, por lo tanto, sirven para dos propósitos. Primero, proporcionan una fuente de carga cerca del IC, de modo que cuando este conmuta, los condensadores pueden suministrar las corrientes transitorias requeridas a través de un camino de baja impedancia. Si el condensador no puede suministrar la corriente requerida, entonces la magnitud del bus de voltaje aumenta y el IC puede no funcionar correctamente. El segundo propósito del condensador de desacoplamiento es proporcionar una baja impedancia de CA entre la alimentación y los canales de tierra, que efectivamente minimiza el ruido inyectado de nuevo en el sistema de alimentación / tierra por el IC.

El desacoplamiento efectivo de la fuente de alimentación se ha vuelto cada vez más difícil de lograr como resultado del aumento de las frecuencias de reloj y los tiempos de subida más rápidos. Un desacoplamiento ineficaz puede conducir a un ruido excesivo en el bus de alimentación, así como a una excesiva emisión de radiación.

Es importante entender que el desacoplamiento no es el proceso de colocar un condensador adyacente a un IC para suministrar la corriente de conmutación transitoria; más bien es el proceso de colocar una red L-C adyacente a un IC para suministrar la corriente de conmutación transitoria. Todos los condensadores de desacoplo tienen una inductancia parásita en serie con ellos. Por lo tanto, la red de desacoplamiento es un circuito resonante en serie. La inductancia proviene de tres fuentes, de la siguiente manera:

1. El condensador
2. Las pistas y las vías de interconexión del PCB
3. El marco principal dentro del IC

ESTRATEGIAS DE DESACOPLAMIENTO EFECTIVO

La contaminación del bus de alimentación por armónicos de reloj que provienen de un desacoplamiento ineficaz puede causar problemas de integridad de la señal y puede ser la causa de una excesiva emisión de radiación. A continuación, se exponen posibles soluciones para el problema de desacoplamiento en señales de alta velocidad:

1. Reducir la velocidad del tiempo de subida
2. Disminuir las corrientes transitorias
3. Disminuir la inductancia en serie con el condensador
4. Usar múltiples condensadores

Los dos primeros enfoques enumerados anteriormente van en contra del avance de la tecnología y no proporcionarán una solución a largo plazo para este problema. Es deseable disminuir la inductancia en serie con el condensador de desacoplamiento y siempre debe hacerse en la medida de lo posible; sin embargo, esto por sí solo no resuelve el problema de desacoplamiento en señales de alta velocidad. En frecuencias inferiores a la de resonancia de la red de desacoplamiento, las dos consideraciones más importantes son tener suficiente capacitancia para proporcionar la corriente transitoria requerida y proporcionar una impedancia que sea lo suficientemente baja como para cortocircuitar la corriente de ruido generada por el IC. Sin embargo, por encima de la frecuencia de resonancia, la consideración más importante es tener una baja inductancia, de modo que la red de desacoplamiento siga teniendo una baja impedancia y cortocircuite la corriente de ruido. Por lo tanto, una red de desacoplamiento aún puede ser efectiva por encima de la frecuencia de resonancia, si se puede encontrar una manera de disminuir suficientemente su inductancia.

Ninguna red de condensadores de desacoplamiento proporcionará una inductancia lo suficientemente baja. Por lo tanto, la solución real al problema de desacoplamiento de alta frecuencia radica en el uso de múltiples condensadores de desacoplamiento. Se proponen tres enfoques:

1. El uso de múltiples condensadores con el mismo valor.
2. El uso de múltiples condensadores de dos valores diferentes.
3. El uso de múltiples condensadores de muchos valores diferentes, generalmente espaciados una década aparte. Por ejemplo, a 1 mF, 0.1 mF, 0.01 mF, 0.001 mF, 100 pF, etc.

Condensadores de muchos valores diferentes (típicamente espaciados una década) proporcionan una baja impedancia a muchas frecuencias. Sin embargo, cuando se utilizan condensadores de desacoplamiento de muchos valores diferentes, también se producen picos de impedancia adicionales. Si los armónicos de algún reloj caen sobre o cerca de la frecuencia de estos picos, el poder del ruido en la tierra aumentará.

Condensadores de desacoplo de nuestro diseño

Teniendo en cuenta todo lo anterior, escogemos los valores de nuestra red de desacoplamiento para cada IC de nuestro diseño. Para cada regulador tomamos el valor que recomiendan en su hoja de datos para los condensadores de desacoplo que van a estar cerca de ellos en el PCB. Como se puede observar en los esquemas de aplicación típicos de sus hojas de datos, se recomienda desacoplar la entrada y la salida con condensadores de gran capacidad. Por otro lado, el chip de medio físico y el SI5338 necesitan condensadores de desacoplo en cada una de sus patas de alimentación.

Según la placa de evaluación del chip de medio físico [23], el SI5338 utiliza una red de desacoplo con condensadores de un mismo valor, uno en cada pin de alimentación, mientras que en el chip de medio físico se recomiendan condensadores de varios valores, un condensador de baja capacidad cerca de cada pin de alimentación y un filtro compuesto por una inductancia y dos condensadores de gran capacidad entre la alimentación y la red de desacoplo del chip. Como norma general, los condensadores de desacoplo que están pegados a los pines de alimentación cumplen su función de proporcionar la corriente transitoria y desacoplo CA con un valor típico de 100pF. Los valores de los componentes del filtro son los mismos que los que especifica el fabricante del chip en su placa de evaluación [23].

4.5. Conectividad

A la hora de realizar las conexiones de los componentes en el esquemático se debe tener en cuenta que tipo de señalización utilizan los dos componentes que se van a conectar, formato del driver y del receptor, nivel de voltaje, frecuencia de la señal y todo lo relacionado con la señal que va a viajar por la pista que conectara los dos componentes. Para analizar la conectividad podemos separar las señales por nivel de dificultad en dos grupos: Señales de baja velocidad (Low Speed Signals) y señales de alta velocidad (High Speed Signals).

4.5.1. Señales de Baja Velocidad

Se incluyen todas las señales digitales cuya velocidad de transmisión es igual o inferior a 500MHz. Este tipo de señales, apenas tienen efectos de propagación debido a que su longitud de onda es mucho más grande que la longitud de las pistas. A continuación, se muestran las señales de datos y de reloj de baja frecuencia que se utilizan en el SI5338 y en el chip de medio físico:

Chip de medio físico

- MDIO: El reloj MDC puede ser periódico con un periodo mínimo de 400ns, el cual corresponde a una frecuencia máxima de 2.5MHz. Se recomienda el uso de una resistencia pull-up en cada canal MDIO de 2.2K Ω . Este bus de datos conecta el VSC8490 a la FPGA. El canal MDIO del VSC8490 utiliza cuatro pines PADDR para la asignación de la dirección del puerto MDIO al que el VSC8490 debe responder, un VSC8490-11 necesita dos direcciones de puerto MDIO, una para cada canal. Los pines de datos PADDR tienen un pull-down interno. Para configurar las direcciones de los puertos MDIO mirar el punto 3.15.1 de la hoja de datos del chip de medio físico [5].
- SPI: El bus de datos SPI puede llegar a más de 50 MHz de frecuencia. El chip de medio físico tiene dos buses de datos SPI, uno del bloque 1588 y otro para el acceso a los registros, ambos se conectan directamente a la FPGA
- JTAG: La frecuencia máxima de operación de TCK varía según el número de chips que estén incluidos en la cadena JTAG, pero es típicamente de 10-100MHz, también, la frecuencia de TCK varía según el diseño del circuito impreso y las capacidades del adaptador y su estado. La cadena JTAG de nuestro diseño se compone en este orden por el módulo FPGA TE0741 y el chip de medio físico.

SPI_1588, JTAG, SPI, MDIO e I2C utilizan TTL o LVTTTL de 2.5MHz a 150MHz. Por lo que se pueden conectar directamente a la FPGA

SI5338

- I2C: La frecuencia de reloj máxima depende del modo utilizado: standard mode: 100 kbit/s, full speed: 400 kbit/s, fast mode: 1 mbit/s, high speed: 3,2 Mbit/s. El SI5338 necesita este bus de datos para su configuración. La FPGA será la que se encargue de configurar los registros del SI5338. Se necesita una resistencia pull-up en cada canal del bus I2C.

Los relojes de entrada del chip de medio físico son diferenciales y utilizan CML a 156.25MHz, estos relojes se generan en el SI5338, los cuales utilizan LVPECL y necesitan una adaptación a CML como se indica en el punto 4.4.2. Los relojes de salida del chip de medio físico también son diferenciales y utilizan CML signaling, estos son recogidos por la FPGA. La FPGA puede configurar un pin de entrada para que utilice CML, por lo que no es necesario ninguna adaptación.

En todos los canales diferenciales, incluidos los de alta frecuencia del punto 4.5.2, se deben utilizar condensadores de acoplo de corriente alterna (AC-Coupling). Estos condensadores se utilizan para eliminar la corriente continua de una señal alterna y así disminuir su valor medio.

Sin estos condensadores, el nivel de voltaje que le llega al receptor puede causar daños o provocar fallos en el funcionamiento del IC.

4.5.2. Señales de Alta Velocidad

A altas frecuencias, la longitud de onda de las señales es más corta, y por lo tanto los efectos de propagación afectan al comportamiento de la señal. A estas frecuencias, las pistas de microstrip se transforman en líneas de transmisión cuya impedancia depende de la composición del medio. Es importante conocer que señales van a utilizar altas frecuencias para realizar un diseño correcto de las pistas posteriormente en el diseño del PCB.

- RXAUI. Los cuatro canales RXAUI los conectamos del chip de medio físico al módulo TE07414, concretamente a los pines de entrada MGT de la FPGA. Todos los canales son diferenciales a una velocidad de 6.25Gbps y utilizan CML.
- SFP+ LAN 10GbE. Las pistas diferenciales de recepción y transmisión de datos se conectan directamente al chip de medio físico, se recomienda que la longitud de estas pistas sea menor de 7 cm, ya que trabajan a una velocidad de 10.3125Gbps.
- PCIe. El conector PCIe de segunda generación se conecta a cuatro GTX de la FPGA Kintex-7, utiliza HCSL y usa codificación 8b/10b para velocidades de 5.0Gbps. La FPGA permite recibir señales del tipo HCSL, por lo que no es necesaria ninguna adaptación.

4.6. Esquemático

El esquemático terminado se muestra en el anexo IV. Como se puede observar en él, hemos reutilizado las cinco hojas del primer diseño realizando unos pequeños cambios y hemos añadido otras cuatro con todos los nuevos componentes relacionados con el chip de medio físico. A continuación, se exponen los principales cambios realizados en cada hoja del esquemático

1. Miscellaneous

En esta hoja se han eliminado los conectores PMOD y los diodos de protección. Todos los demás componentes se siguen manteniendo en el diseño: el controlador led y los leds indicadores.

2. Power

Respecto al diseño anterior se han eliminado el regulador lineal que proporcionaba +2.5V, el conector JACK de alimentación y el switch que permitía modificar el voltaje de las entradas/salidas del banco 12 de la FPGA.

3. SFP

Esta hoja del esquemático no necesita ninguna modificación.

4. FPGATE0741AB

De los conectores de la FPGA se han eliminado las señales que ya no se utilizan, como las salidas a los PMOD, y se han reubicado algunas señales para poder realizar un mejor enrutamiento en el PCB. Las señales de baja frecuencia se pueden conectar a cualquier pin de datos de la FPGA, mientras que las de alta frecuencia se deben conectar a los pines que son MGT de la FPGA.

5. FPGATE0741CD PCIe

Se ha añadido el condensador de acoplo que faltaba en la línea de reloj del PCIe. En el conector de la FPGA se han cambiado las conexiones de los SFP+ por las RXAUI provenientes del chip de medio físico.

6. VSC8490-11 Clocking

Esta hoja del esquemático incluye el componente SI5338C-B-GM con todos los pines conectados. En primer lugar, se conectan todos los pines de alimentación a +3.3V con sus condensadores de desacoplo correspondientes. Según se especifica en su hoja de datos [24], en los pines de entrada IN1 e IN2 se conecta el cristal de 25.000MHz, por otro lado, si no se utilizan las entradas de reloj IN3 e IN6, estas se dejan conectadas a tierra e IN5 sin conectar. El bus de datos I2C y el pin de interrupciones INTR se conectan con la FPGA con sus resistencias pull-up correspondientes. Por último, se conectan las cuatro señales diferenciales de reloj con el chip de medio físico con sus correspondientes resistencias para adaptar la salida del SI5388 LVPECL a CML y los condensadores de acoplo CA.

7. VSC8490-11 High Speed Channels

Esta hoja de datos se compone de un sub-bloque del chip de medio físico que incluye los pines diferenciales de entrada de reloj WREFCLK, SREFCLK y XREFCLK, y todos los pines del chip de medio físico relacionados con los canales de datos de alta velocidad. Se conectan los canales de datos provenientes del SFP+ con el chip de medio físico y los canales RXAUI junto con los relojes de referencia que genera el chip de medio físico con la FPGA. En todos los canales diferenciales se añaden los condensadores de acoplo CA correspondientes.

8. VSC8490-11 Power

Aquí van todos los componentes y subbloques de componentes relacionados con la alimentación del chip de medio físico. Se conectan todos los pines de alimentación del chip de medio físico a los voltajes correspondientes. Para cada pin se coloca un condensador de desacoplo y para cada voltaje se incluye un filtro compuesto por dos condensadores y una bobina. Cada voltaje de alimentación del chip de medio físico es generado por un regulador lineal diferente. Estos tres reguladores se conectan y acondicionan tal como se recomienda en sus hojas de datos. Utilizamos también tres leds indicadores, uno para cada regulador lineal. Dado que el voltaje de salida de los reguladores es muy bajo, utilizamos un transistor MOSFET para su activación y conectamos los leds a +3.3V a través de una resistencia de 330Ω.

9. VSC8490-11 Status Control

Este bloque integra todos los pines relacionados con el estatus y el control del chip de medio físico. Aparecen las conexiones de datos que se conectan con la FPGA: MDIO, SPI, SPI_1588 y JTAG. Las conexiones de datos MDIO y SPI incluyen las resistencias pull-up en cada una de sus pistas. Los pines de GPIO, TDIOP y TDION los dejamos sin conectar, ya que no los vamos a utilizar. Los pines MODE se conectan a la FPGA con resistencias pull-up en cada pista. La señal reset del chip de medio físico la maneja la FPGA.

El chip de medio físico incluye pines de test que no vamos a utilizar nosotros, por lo que los pines SCANEN y TEST se dejan conectados a tierra (GND) y ANATEST se deja sin conectar.

Por último, el chip de medio físico requiere una resistencia de 620Ω entre los pines RCOMPN y RCOMPP. Para un modo de uso normal del conector JTAG, el pin TRSTB se debe conectar directamente a tierra a través de una resistencia de 10KΩ.

4.7. Conclusión

Partiendo de las necesidades del chip de medio físico, hemos conseguido diseñar el esquemático de la nueva versión de Kinnic reutilizando el esquemático de la primera versión que funcionaba correctamente. La elección de los nuevos componentes ha sido en base a los requerimientos del chip de medio físico y nos hemos ayudado de las hojas de datos de cada componente para utilizarlos de forma correcta en nuestro diseño. Finalmente, el esquemático de nuestro diseño se muestra en el anexo IV y el BOM con todos los componentes en el anexo III.

5. Implementación de Kinnic con PHY

5.1. Motivación

Una vez tenemos todos los componentes de la placa conectados en el esquemático, podemos proceder al diseño de la placa de circuito impreso (PCB). Esta fase consiste en la colocación física de los componentes y la implementación de las conexiones físicas en una placa de circuito impreso. Cada componente tiene asociado una huella o footprint que mapea los pines del componente a conexiones físicas (pads). La colocación e interconexión de los componentes se lleva a cabo con los footprints de cada componente.

5.2. Objetivos

El objetivo principal de esta fase es fabricar la placa de circuito impreso del segundo diseño a partir de su esquemático con Altium Designer. Para ello tenemos que elegir el tamaño de la placa, su disposición de las capas o stackup, el uso de planos de tierra y de voltaje, el tamaño de las pistas y vías cumpliendo siempre con los requisitos del fabricante WE y manteniendo la integridad de señal. Posteriormente podemos realizar la colocación de los componentes y su interconexión.

5.3. Diseño de PCB

5.3.1. Factor de forma

Se trata de unos estándares que definen características físicas de las placas base para computadoras. En esta segunda versión utilizamos un factor de forma de una tarjeta corta PCIe de perfil bajo (Low-Profile/ Slim PCI Card). Hemos tenido que aumentar la longitud de la placa respecto la primera versión para que se pueda colocar el chip de medio físico con todos los nuevos componentes asociados a él. Las nuevas dimensiones de la placa son $dx=167.65\text{mm}$ (largo) y $dy=68.9\text{mm}$ (ancho).

5.3.2. Stackup

La colocación del plano de VCC y tierra en el stackup del PCB (el orden de las capas) tiene un impacto significativo en las inductancias parásitas de las rutas de la corriente de potencia. El orden de las capas debe considerarse al principio del proceso de diseño:

- Las alimentaciones de alta prioridad deben colocarse más cerca del AP SoC (en la mitad superior del stackup del PCB)

- Las alimentaciones de baja prioridad deben colocarse más lejos del AP SoC (en la mitad inferior del stackup del PCB)

El stackup del PCB depende del fabricante, WE (Würth Elektronik) proporciona diferentes stackups, cada uno con un número de capas, distribución, materiales, grosores de cobre y dieléctrico diferentes.

Escogemos el stackup “Stack_6L_1.55mm_end_Cu 35 outer, 35 inner” de WE con 1.55mm de grosor para cumplir los estándares de conexión en los slots de PCI. Respecto al dieléctrico, dado que el chip de medio físico no puede trabajar a más de 125 grados centígrados elegimos TG135, ya que el TG150 sirve para aplicaciones de alta temperatura. Dicho stackup se muestra en el anexo V. El ϵ_r del dieléctrico utilizado se calcula con las tablas que proporciona WE para sus diferentes materiales anexo VI. En este caso utilizamos FR4-Prepreg 2x1080-TG135 con $\epsilon_r = 3.5$, FR4-Kerne de 0.395mm de espesor con $\epsilon_r = 3.6$, FR4-Prepreg 2x2116-TG135 con $\epsilon_r = 3.9$ y una máscara de soldadura de espesor sobre el material base entre 20-45 μ m y de espesor sobre la pista entre 10-25 μ m con un $\epsilon_r = 3.7$. Las especificaciones de la máscara de soldadura de WE se muestran en el anexo VII.

El stackup del PCB es el mismo que el del primer diseño de Kinnic. Está compuesto de 6 capas, con dos capas de tierra entre medias (2 y 5) para reducir la inductancia parásita y mejorar la integridad de señal. Al igual que en el primer diseño, todos los componentes son SMD y se van a situar en la capa superior. Las capas superior, inferior e interior 1 se van a utilizar para el rutado de señales. La capa intermedia 2 se va a utilizar para regiones (polígonos) de voltaje, esto mejora la distribución de corriente y disminuye la inductancia parasita.

5.3.3. Reglas y restricciones

A la hora de realizar el diseño del PCB tenemos que tener en cuenta las limitaciones del fabricante y los requerimientos del diseño. Consultando la página de presupuestos de WE deducimos que para abaratar costes hay que evitar las vías justo debajo de los pads, las micro vías, vías enterradas y tamaños de pista o separación entre elementos (pistas, pads, vías y regiones) muy pequeños.

Siguiendo las recomendaciones de WE elegimos un tamaño de vía pequeño que permita tener mucha densidad de elementos juntos, pero que sea suficientemente grande como para afectar lo menos posible a la integridad de señal. El tamaño utilizado de vía más pequeño es de 0.55mm de diámetro y un diámetro del agujero de 0.15mm.

5.3.3.1. Tamaño de las pistas

En las señales de alta velocidad, debido al efecto de la propagación de la señal por las pistas, el espesor y ancho de las líneas microstrip depende del stackup elegido y de la impedancia característica de la línea que queramos tener. Como norma general la impedancia objetivo para que haya adaptación es de 50 Ω para una pista y de 100 Ω para líneas diferenciales. Para calcular las características de las líneas microstrip de nuestro diseño hacemos uso de calculadoras de impedancia como la que integra HyperLynx o LineCalc de ADS.

Los resultados obtenidos con LineCalc varían en el orden de 2 Ω respecto con los obtenidos con HyperLynx. HyperLynx permite calcular la impedancia teniendo en cuenta la máscara de soldadura, mientras que con LineCalc no es posible, debido a esto, se han utilizado los valores obtenidos con HyperLynx.

- Pistas Diferenciales

	Layer Name	Usage	Thickness um	Er	Diff Z0 ohm	Width um	Gap um	Z0 Curve
1		Solder Mask	20	3.7				
2	Top_Layer	Signal	35	<Auto>	100	175	205.74	
3	DE_Top_Layer	Substrate	123	3.5				
4	GND1	Plane	35	<Auto>	100	175	168.849	
5	DE_GND1	Substrate	395	3.6				
6	Signal_Layer_1	Signal	35	<Auto>	100	175	174.394	
7	DE_Signal_Lay	Substrate	195	3.9				
8	Signal_Layer_2	Signal	35	<Auto>	100	175	174.372	
9	DE_Signal_Lay	Substrate	395	3.6				
10	GND2	Plane	35	<Auto>	100	175	168.849	
11	DE_GND2	Substrate	123	3.5				
12	Bottom_Layer	Signal	35	<Auto>	100	175	205.74	
13		Solder Mask	20	3.7				

☒ Draw proportionally Total thickness: 1481 um
☒ Use layer colors

Ilustración 24. Tamaño de pistas diferenciales calculado con HyperLynx.

- Una pista

	Layer Name	Usage	Thickness um	Er	Target Z0 ohm	Width um	Gap um	Z0 Curve
1		Solder Mask	20	3.7				
2	Top_Layer	Signal	35	<Auto>	50	229.52		
3	DE_Top_Layer	Substrate	123	3.5				
4	GND1	Plane	35	<Auto>	50	756.873		
5	DE_GND1	Substrate	395	3.6				
6	Signal_Layer_1	Signal	35	<Auto>	50	467.538		
7	DE_Signal_Lay	Substrate	195	3.9				
8	Signal_Layer_2	Signal	35	<Auto>	50	467.538		
9	DE_Signal_Lay	Substrate	395	3.6				
10	GND2	Plane	35	<Auto>	50	756.873		
11	DE_GND2	Substrate	123	3.5				
12	Bottom_Layer	Signal	35	<Auto>	50	229.52		
13		Solder Mask	20	3.7				

☒ Draw proportionally Total thickness: 1481 um
☒ Use layer colors

Ilustración 25. Tamaño de pista calculado con HyperLynx

Estos tamaños de pista se deben cumplir con las señales de alta frecuencia. Para las señales de baja frecuencia no es necesario utilizar estos tamaños, dado que la pista actúa como un cable. Debido a esto, podemos utilizar tamaños de pista más pequeños para tener más espacio para el rutado de señales más importantes.

5.3.3.2. Reglas y restricciones especiales para BGA

El chip de medio físico tiene un footprint BGA (Ball Grid Array) con un pitch (separación entre pads) de 1mm. Para hacer el fanout del BGA necesitamos crear reglas especiales para las pistas dentro del BGA y la distancia entre las pistas y las vías. Normalmente la distancia que se debe dejar entre elementos es como mínimo 0.175mm (El ancho de una pista estándar en nuestro diseño), dentro del BGA lo reducimos a 0.12mm para poder rutar los pines hacia fuera del chip.

5.4. PCB Kinnic_v1

Con el tamaño de la placa, su stackup y el tamaño de las pistas/vías fijados, podemos proceder a la colocación de los componentes en el PCB, al rutado de pistas y la generación de polígonos o regiones de voltaje. Como en el primer diseño, la capa intermedia 2 del PCB se utiliza para crear regiones de voltaje. Como se puede observar en la Ilustración 30, toda la capa está conectada a +3.3V menos las regiones de voltaje del chip de medio físico, las regiones de voltaje para los SFP+ y la región de voltaje de +12.V que proviene del PCIe. Las regiones de voltaje del chip de medio físico mostradas en la Ilustración 32 dependen del lugar de colocación de los reguladores lineales, de la posición de los pines de alimentación dentro del BGA y de la posición de los condensadores de desacoplo. Los tres reguladores lineales que se encargan de generar los voltajes de alimentación del chip de medio físico se han colocado justo encima del chip en el PCB.

Como hemos visto en el apartado 4.4.3.1, es recomendable que los condensadores de desacoplo de menor capacitancia se coloquen lo más cerca posible de los pines de alimentación del chip. Los condensadores de mayor capacidad junto con las bobinas, se pueden poner más cerca de la fuente de alimentación, junto con el condensador de desacoplo que se encuentra a la salida de los reguladores lineales. Esta colocación ofrece mejores resultados en cuanto a integridad de señal y eliminación de ruido en el plano de alimentación. Las conexiones de los condensadores de desacoplo entre las regiones de voltaje y los planos de tierra se recomienda que sean como en el ejemplo (D) que se muestra en la Ilustración 26. La utilización de más de una pista ancha para conectar los condensadores de desacoplo, permite disminuir la inductancia parasita, pero puede suponer un problema en la fabricación, ya que absorbe mayor cantidad de calor y puede estropear el dieléctrico o hacer que se levante la pista.

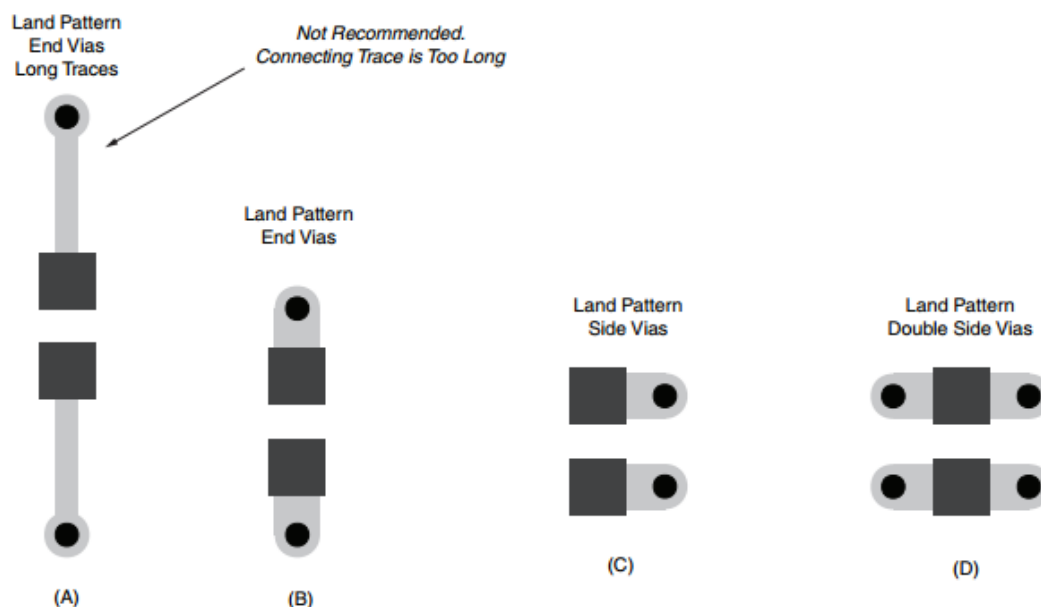


Ilustración 26. Footprint recomendado para los condensadores de desacoplo.

Todas las pistas diferenciales del PCB llevan condensadores de acoplo CA. Para obtener un mejor resultado es conveniente colocar los condensadores de acoplo lo más cerca posible del receptor y sobre la pista de manera simétrica, modificando la separación entre pistas lo menos posible.

El generador de reloj SI5338 se ha colocado al lado del chip de medio físico a poca distancia. Para un correcto funcionamiento, el cristal de cuarzo se debe colocar lo más cerca posible del SI5338 y lejos de planos de alimentación de diferentes voltajes, fuentes de alimentación y componentes de alta potencia.

A continuación, se muestra una recreación 3D del PCB de la placa Kinnic con todos los componentes colocados y enrutados. Como en el primer diseño, todos los componentes de la placa se han colocado únicamente en la capa superior.

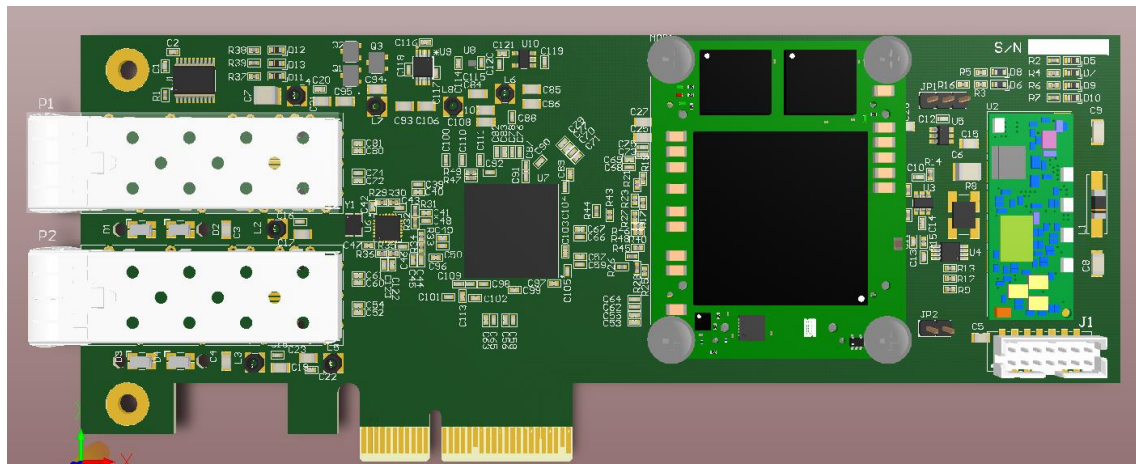


Ilustración 27. PCB Kinnic con PHY.

Las diferentes capas del PCB son las que se muestran a continuación:

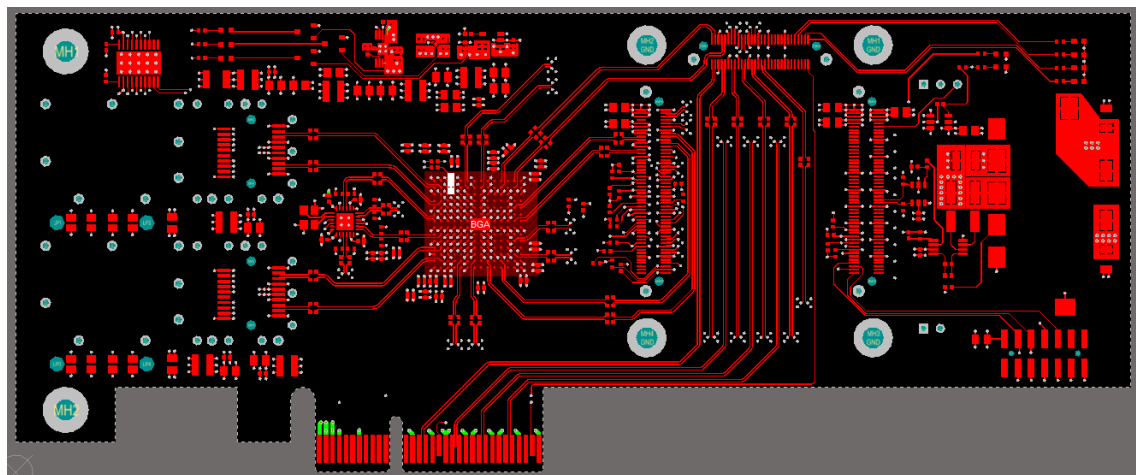


Ilustración 28. PCB Kinnic con PHY. Capa superior.

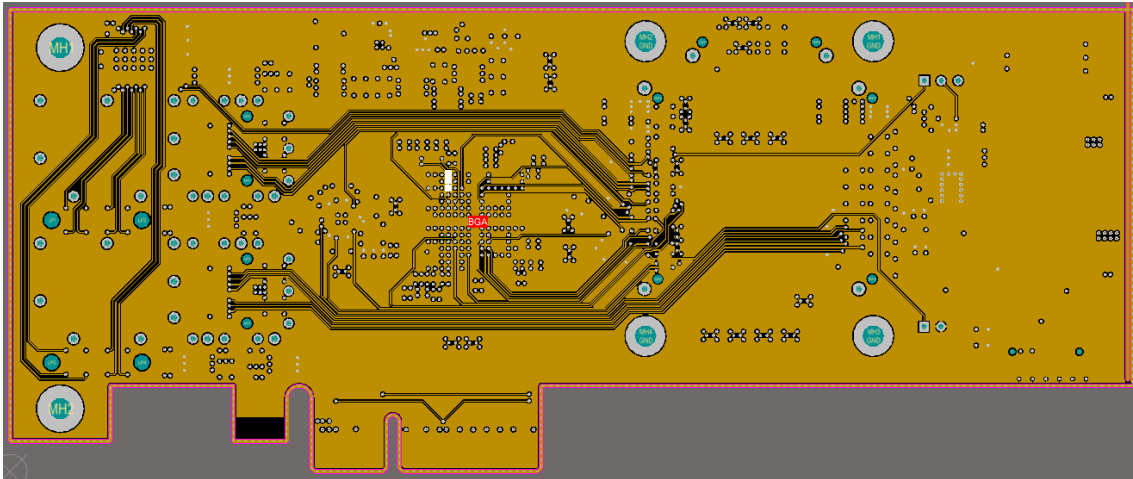


Ilustración 29.PCB Kinnic con PHY. Capa intermedia 1.

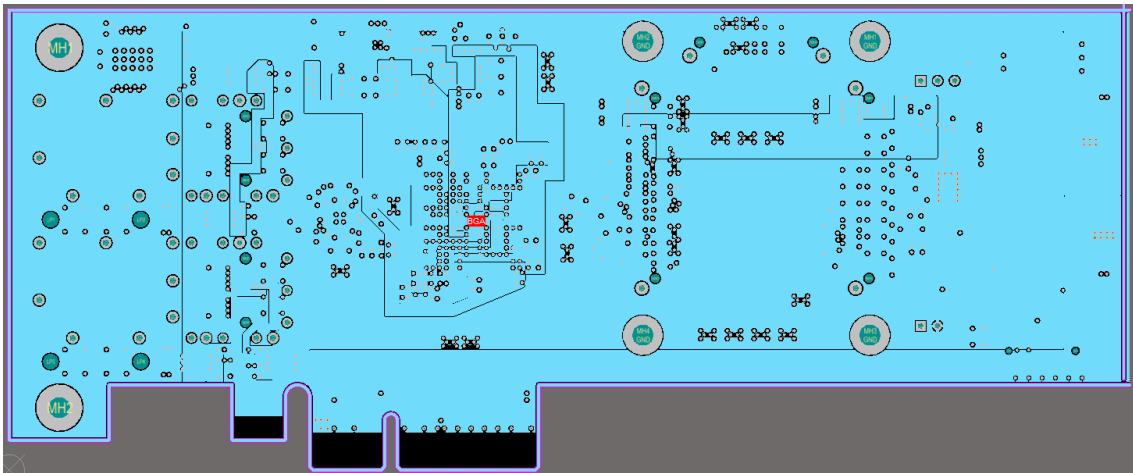


Ilustración 30.PCB Kinnic con PHY. Capa intermedia 2.

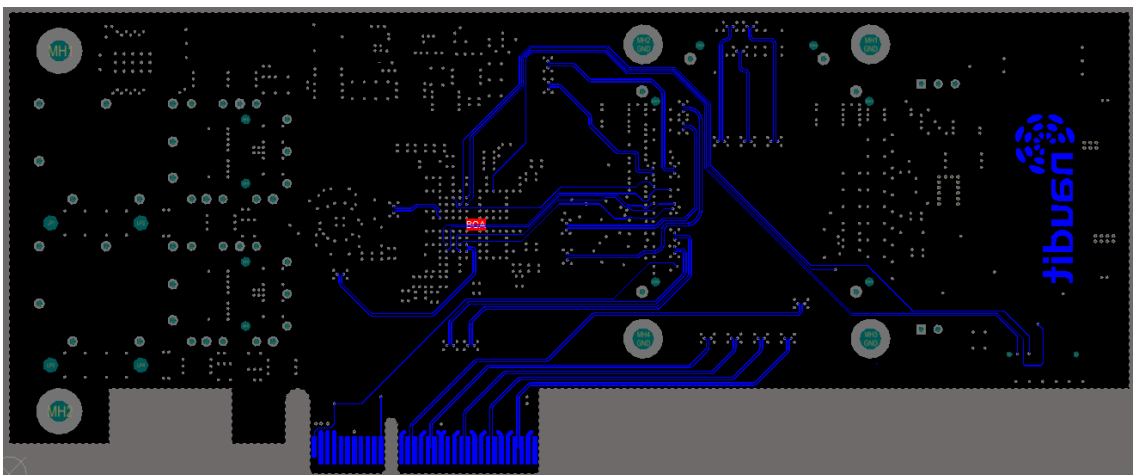


Ilustración 31.PCB Kinnic con PHY. Capa inferior.

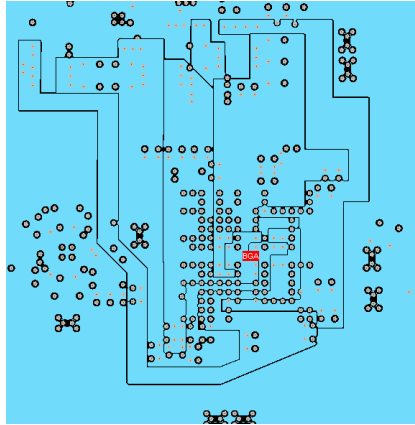


Ilustración 32. PCB Kinnic con PHY. Regiones de voltaje para el chip de medio físico.

La capa intermedia 1 que se muestra en la Ilustración 29 está conectada por defecto a +3.3V, pero también es utilizada para rutar pistas de baja frecuencia y así reservar más espacio en las capas exteriores para el rutado de las pistas diferenciales. Mantenemos sin quitar ninguna región de los planos intermedios para mantener una densidad de cobre homogénea en toda la placa.

Para obtener mejor integridad de señal, todas las pistas diferenciales se han rutado en las capas exteriores intentando seguir el camino más corto entre las conexiones. En las pistas diferenciales de alta frecuencia colocamos vías que conectan los planos de tierra alrededor de las vías que llevan las señales de la capa superior a la capa inferior. Esto sirve para que las corrientes de retorno puedan seguir el mismo camino que las señales y puedan cambiar de un plano de tierra de referencia a otro cuando sea oportuno. A la hora de rutar las pistas de las señales de alta frecuencia se han evitado las ranuras en el plano de tierra más cercano para evitar bucles de corriente y así no aumentar la inductancia parasita o producir emisiones de radiación por equivaler a una antena de bucle.

Tanto en las conexiones RXAUI como en las del PCIe, la diferencia de longitud entre los diferentes pares de datos no afecta a su funcionamiento. Es importante mantener la menor posible diferencia de longitud entre las pistas diferenciales de un mismo par. Tanto RXAUI, como PCIe o las conexiones 10GbE admiten una pequeña diferencia de longitud del orden de unos pocos mm.

5.5. Conclusión

El diseño de una placa de circuito impreso con señales de alta frecuencia no es una tarea fácil. Al utilizar componentes SMD de pequeñas dimensiones, la densidad de componentes y pistas por cm^2 es muy elevada, esto complica la tarea de enrutar los componentes. El número de capas del PCB ayuda a simplificar la tarea de enrutado al poder rutar en varias de ellas, además, el uso de regiones de voltaje ayuda a simplificar la red de alimentación y mejora la integridad de señal del sistema.

Hay que tener especial cuidado a la hora de diseñar las pistas de alta frecuencia. Al tener efectos de propagación hay que tratar que la impedancia característica de las líneas sea la indicada y que la longitud de las pistas sea lo menor posible. Además, los pares diferenciales deben tener la longitud de ambas pistas casi idénticas para evitar problemas en la recepción de los datos.

6. Evaluación de Kinnic con PHY

6.1. Motivación

Con el diseño de la placa de circuito impreso terminado, solo nos queda comprobar si hay problemas de integridad de señal que puedan afectar al correcto funcionamiento de la placa. Esta comprobación es necesaria para saber si el diseño se puede llevar a la fase de fabricación para una posible producción.

6.2. Objetivos

En este apartado se busca evaluar que todas las conexiones se han realizado correctamente: que no queda ninguna señal sin conectar, que están todas las conexiones conectadas solo a los pines donde deben estar y que ninguna señal esta cortocircuitada con otra. Esto se hace con Altium Designer utilizando la herramienta “Design Rules Check” y las restricciones expuestas en el apartado 5.3.3. Para analizar las señales de alta frecuencia utilizaremos los mismos métodos que en el apartado 2.4.3 con ayuda de la herramienta de simulación HyperLynx.

6.3. Evaluación del diseño

Las comprobaciones realizadas con “Design Rules Check” de Altium Designer ofrecen resultados positivos, esto quiere decir que aparentemente están todas las conexiones enrutadas correctamente en el PCB. Según las especificaciones de PCIe [16] y RXAUI [22], no es necesario que los pares diferenciales tengan la misma longitud, dado que el receptor se encarga de almacenar y sincronizar los datos. Donde hay que tener especial cuidado es en las longitudes de las dos pistas que conforman el par diferencial, en este caso sí que hay que mantener una longitud casi idéntica para que ambas señales lleguen al mismo tiempo y puedan restarse de forma adecuada y no den errores de ruido en el receptor. La distancia máxima que se puede tener en un mismo par depende de la longitud de onda de la señal y por lo tanto de la frecuencia y el material de fabricación de la placa. En nuestro caso se trata de señales a 5Gbps y 6.25Gbps, por lo que aproximadamente su longitud de onda es del orden de $\lambda = \frac{0.3}{f(\text{GHz}) * \sqrt{\epsilon_r}} = 25.29822128\text{mm}$ para $f(\text{GHz})=6.25$ $\epsilon_r = 3.6$. Las diferencias entre las dos pistas de cada par diferencial del diseño se muestran en una tabla el anexo VIII, como se puede observar en la columna de diferencias (mm), los pares diferenciales presentan longitudes casi idénticas con una diferencia máxima de 1.57mm, esta diferencia es mucho más pequeña que la mínima longitud de onda de la señal, por lo que no es necesario modificar la longitud de ninguna de las pistas diferenciales del diseño.

6.4. Pruebas con HyperLynx

Las pistas diferenciales de alta velocidad pueden estar mal diseñadas y es necesario que realicemos una simulación de diagramas de ojo con HyperLynx para comprobar si cumplen con los requisitos. Para realizar estas pruebas, exportamos el diseño PCB desde Altium Designer a HyperLynx para así poder hacer una simulación BoardSim como en el apartado 2.4.3. Una vez tenemos el diseño del PCB en HyperLynx, configuramos el stackup para que sea el mismo que el del anexo V y el de los cálculos de impedancias.

6.4.1. PCIe

Para simular las pistas del PCIe seleccionamos las ocho pistas diferenciales de datos, les asignamos el mismo modelo IBIS AMI que el del apartado 2.4.3 y procedemos a realizar el mismo análisis de integridad de señal. El resultado de estas pruebas son los siguientes diagramas de ojo (BER plots) de cada canal receptor del PCIe:

Simulation date	Probe name	Simulation results					
		Highest BER	Pass/fail eye mask	Eye mask margin		Eye opening	
				Time, UI	Voltage, V	Time, UI	Voltage, V
08/28/18 02:08:47	P3.A17 (at die)/P3.A16 (at die)	0	Passed	0.215867	0.0835501	0.786059	0.3411
08/28/18 02:10:08	P3.A21 (at die)/P3.A22 (at die)	0	Passed	0.213463	0.0848005	0.781251	0.3436
08/28/18 02:11:13	P3.A25 (at die)/P3.A26 (at die)	0	Passed	0.218269	0.0835501	0.786059	0.3411
08/28/18 02:15:50	P3.A29 (at die)/P3.A30 (at die)	0	Passed	0.215865	0.0835501	0.788463	0.3411
08/28/18 02:18:14	MOD1.C4 (at die)/MOD1.C2 (at die)	0	Passed	0.206251	0.0835501	0.781251	0.3411
08/28/18 02:20:17	MOD1.C15 (at die)/MOD1.C13 (at die)	0	Passed	0.215867	0.0812213	0.786059	0.336442
08/28/18 02:21:27	MOD1.C21 (at die)/MOD1.C19 (at die)	0	Passed	0.218271	0.0858273	0.795674	0.345654
08/28/18 02:22:37	MOD1.C27 (at die)/MOD1.C25 (at die)	0	Passed	0.206251	0.0848005	0.762021	0.3436

Ilustración 33. Kinnic_v1 Resultados de los diagramas de ojo - PCIe.

Como se puede observar en la Ilustración 33. Kinnic_v1 Resultados de los diagramas de ojo - PCIe. Ilustración 33, los resultados en cuanto a unidades de tiempo y amplitud de voltaje de la onda son similares en todas las pistas, debido a esto, para reducir el número de gráficos análogos solo se muestran los diagramas de ojo de los canales en los que el receptor está en el conector PCIe.

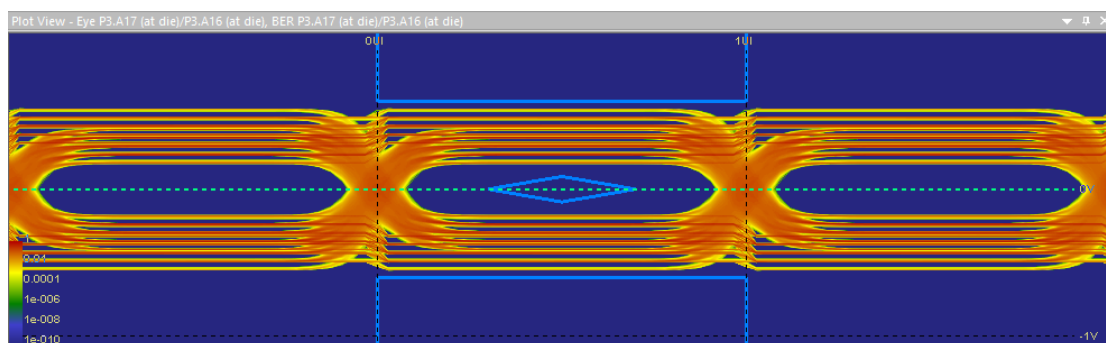


Ilustración 34. Kinnic_v1 Diagrama de ojo P1.A16 (at die)/P1.A17 (at die).

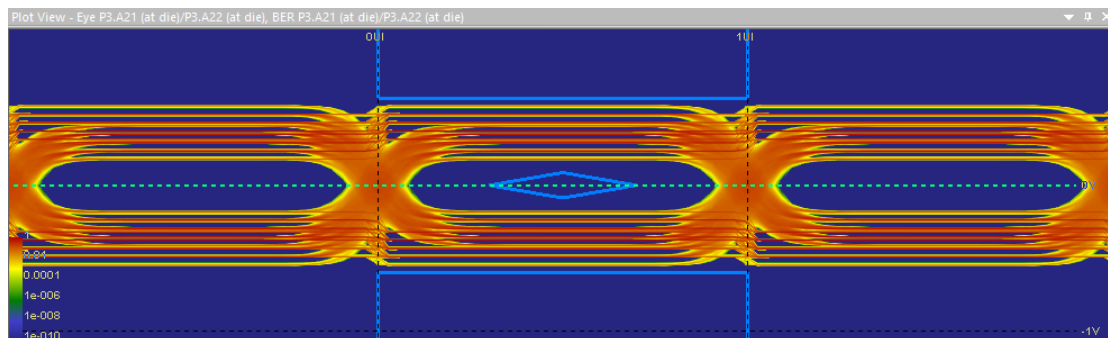


Ilustración 35. Kinnic_v1 Diagrama de ojo P1.A21 (at die)/P1.A22 (at die).

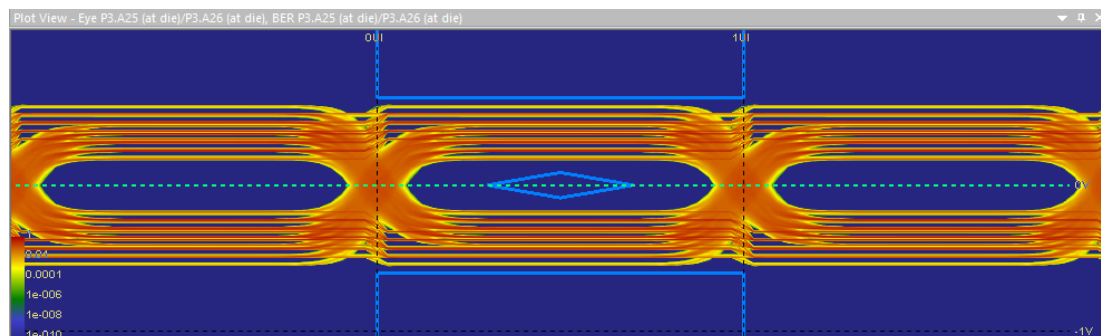


Ilustración 36. Kinnic_v1 Diagrama de ojo P1.A25 (at die)/P1.A26 (at die).

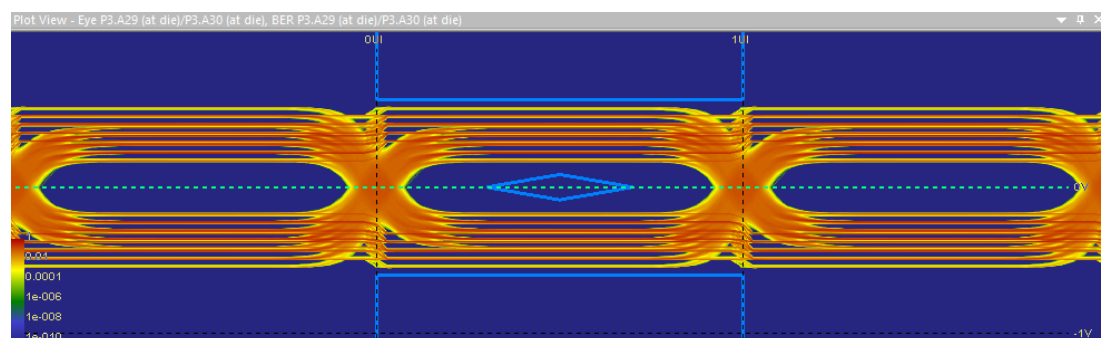


Ilustración 37. Kinnic_v1 Diagrama de ojo P1.A29 (at die)/P1.A30 (at die).

Los canales de PCIe presentan un comportamiento mejor que los del primer diseño en la simulación con HyperLynx. La apertura de todos los ojos es más grande tanto en unidades de tiempo como en voltaje.

6.4.2. RXAUI

Para la simulación de las pistas de datos de RXAUI utilizamos el mismo método que hemos utilizado para analizar las conexiones del PCIe, salvo que en este caso la velocidad de transmisión es de 6.25Gbps. Los resultados de la simulación son muy parecidos a los obtenidos con las conexiones PCIe, debido a esto, en las siguientes imágenes solo se muestran los diagramas de ojo de los cuatro canales de recepción del chip de medio físico.

Simulation date	Probe name	Simulation results					
		Highest BER	Pass/fail eye mask	Eye mask margin		Eye opening	
				Time, UI	Voltage, V	Time, UI	Voltage, V
09/05/18 01:42:11	U7.C1 (at die)/U7.C2 (at die)	0	Passed	0.189425	0.0906253	0.737982	0.35525
09/05/18 01:43:55	U7.E1 (at die)/U7.E2 (at die)	0	Passed	0.189425	0.0905418	0.752405	0.355083
09/05/18 01:45:49	U7.N4 (at die)/U7.P4 (at die)	0	Passed	0.187021	0.0898233	0.752405	0.353646
09/05/18 01:51:24	U7.N2 (at die)/U7.P2 (at die)	0	Passed	0.191828	0.0895523	0.764424	0.353104
09/05/18 01:53:40	MOD1.A21 (at die)/MOD1.A23 (at die)	0	Passed	0.19904	0.0906563	0.757213	0.355312
09/05/18 01:55:09	MOD1.A15 (at die)/MOD1.A17 (at die)	0	Passed	0.189425	0.0880523	0.728367	0.350104
09/05/18 01:56:31	MOD1.A28 (at die)/MOD1.A26 (at die)	0	Passed	0.220675	0.0835615	0.795674	0.341122
09/05/18 01:57:34	MOD1.A20 (at die)/MOD1.A18 (at die)	0	Passed	0.218271	0.0835615	0.795674	0.341122

Ilustración 38. Kinnic_v1 Resultados de los diagramas de ojo - RXAU1.

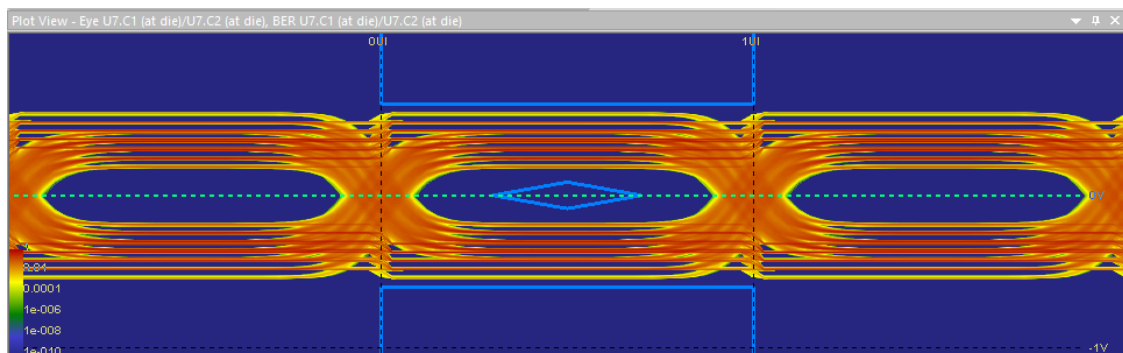


Ilustración 39. Kinnic_v1 Diagrama de ojo U7.C1 (at die)/ U7.C2 (at die).

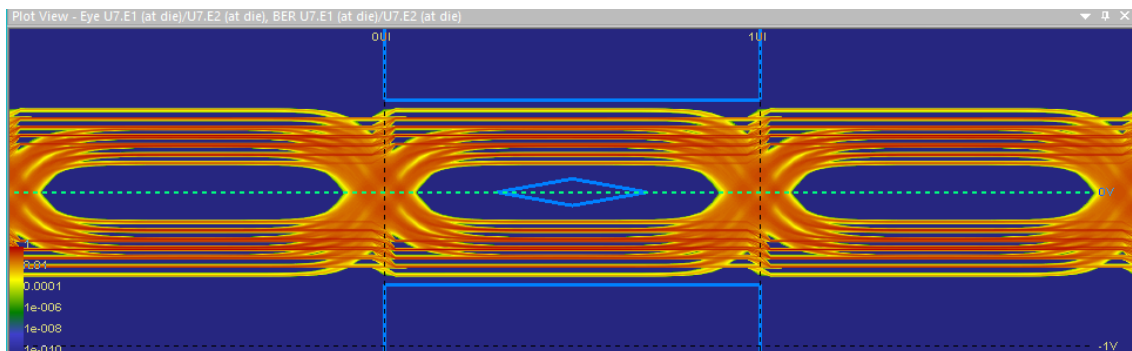


Ilustración 40. Kinnic_v1 Diagrama de ojo U7.E1 (at die)/ U7.E2 (at die).

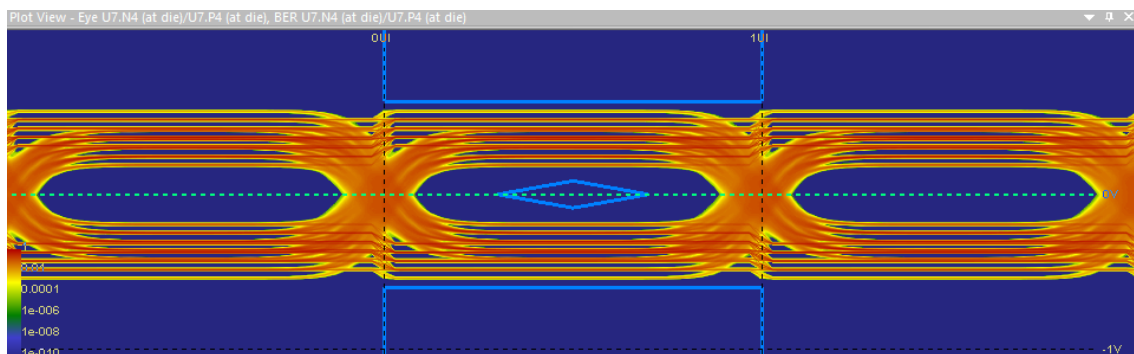


Ilustración 41. Kinnic_v1 Diagrama de ojo U7.C1 (at die)/ U7.C2 (at die).

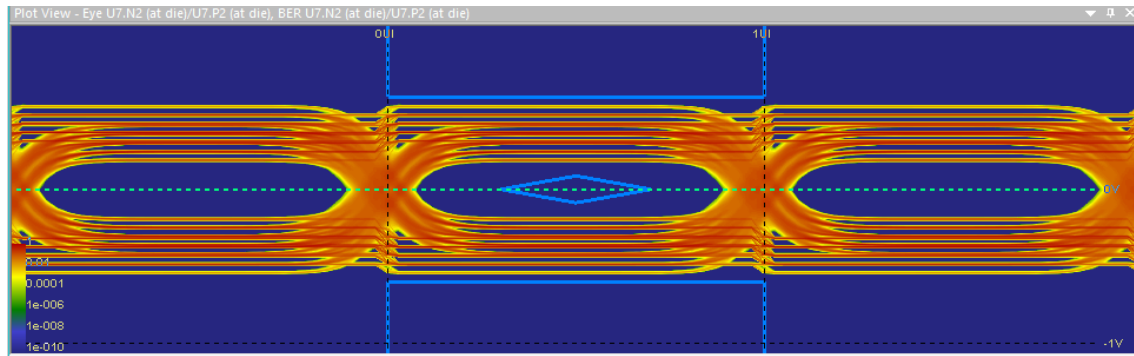


Ilustración 42. Kinnic_v1 Diagrama de ojo U7.C1 (at die)/ U7.C2 (at die).

6.5. Conclusión

Si comparamos los nuevos resultados de PCIe con los obtenidos en el apartado 2.4.3, se observan claras diferencias. En el nuevo diseño obtenemos mejor comportamiento dado que los diagramas de ojo son más abiertos, esto se debe a que hemos utilizado un tamaño de pista diferente al recurrir a la calculadora de impedancias de HyperLynx.

En las pistas RXAUI, los resultados son igual de buenos que los obtenidos con las pistas PCIe. Con estos resultados podemos afirmar que el diseño está preparado para la fase de fabricación y testeo.

7. Conclusión

En este proyecto se ha conseguido el objetivo propuesto: en primer lugar, se ha conseguido arreglar la primera versión de Kinnic, en segundo lugar, se ha diseñado una segunda versión de Kinnic. En esta nueva versión se han corregido los errores del primer diseño y se ha introducido un chip de medio físico junto con un módulo de TE estándar, este cambio permite reducir los costes de producción y estandarizar el producto.

Respecto la primera fase, no fue fácil encontrar el fallo dentro de Kinnic. Para detectar el fallo y solucionarlo tuvimos que reducir las posibles causas. La primera simulación nos sirvió para certificar que el diseño de las pistas diferenciales del PCIe estaba correctamente diseñado. Como el problema no era en el diseño de las pistas, se optó por descartar un posible error debido a defectos en la fabricación, para descartar esta opción construimos una segunda placa con un método de soldadura por horno de refusión. Inicialmente la nueva placa recién soldada presentaba multitud de cortocircuitos en los conectores del módulo de TE, pero después de eliminarlos obtuvimos los mismos resultados que en las simulaciones con Vivado en la primera placa soldada a mano. Descartados los errores por fabricación y diseño de las pistas, procedimos a revisar las hojas de datos de los componentes de Kinnic en busca de un posible problema en el diseño. Con algo de fortuna encontramos el fallo en la pista de reloj del PCIe y lo arreglamos. Al final el fallo se debía a la falta de los condensadores de acoplo de CA en la pista diferencial del reloj del PCIe.

En la segunda fase, se planteó un segundo diseño cuya principal mejora era la introducción de un chip de medio físico en la placa. Este chip permite transformar señales que provienen del XGMII a más de 10Gbps a señales RXAUI con una velocidad inferior de 6.25Gbps, esta reducción en la velocidad de transmisión nos permitió intercambiar el módulo de TE diseñado específicamente para el primer diseño de Kinnic por un módulo de TE estándar más barato. La inclusión del chip de medio físico en la placa Kinnic resultó ser una ardua tarea, primero tuvimos que analizar todos los requisitos del chip en su extensa hoja de datos [5] y en su placa de evaluación [23], una vez los extrajimos, se seleccionaron todos los demás componentes necesarios de la placa y se pudo proceder a la realización del esquemático con ayuda de las hojas de datos de todos los componentes de la placa.

Con el esquemático ya realizado, el siguiente paso fue el diseño del PCB. En esta fase del diseño se encontró mayor dificultad en la realización del PCB que en el diseño de su stackup, la forma y la elección de las reglas de diseño como el tamaño de las pistas o vías. Tuvimos dificultades a la hora de diseñar la red de desacoplo del chip de medio físico debido al poco espacio disponible y la necesidad de colocar los condensadores lo más cerca posible del chip y al mismo tiempo conseguir enrutar todas las pistas que salían del BGA del chip de medio físico. Debido a la densidad de componentes, pistas y vías en los alrededores del chip de medio físico, el diseño se realizó de forma progresiva para poder abordarlo, primero se realizó un fanout de las pistas del BGA, posteriormente se colocó la red de desacoplo y por último se realizó el enrutado de las conexiones. Una vez terminado el enrutado de las pistas, mejoramos la integridad de señal en las mismas redondeando las esquinas y evitando giros de más de 45°.

Finalmente, como se observa en los resultados de la evaluación, con este nuevo diseño hemos conseguido mejorar el comportamiento general del sistema, ahora el problema del reloj del PCIe está solucionado y los diagramas de ojo presentan una apertura mayor tanto en unidades de tiempo como en unidades de voltaje. Además, con esta nueva versión se han conseguido los objetivos de abaratar los costes de fabricación y estandarizar el producto de cara a una posible producción.

7.1. Trabajo futuro

En este trabajo se propone realizar la construcción y verificación física con Vivado de la nueva versión de Kinnic. Otra posible línea de trabajo podría tratar de confeccionar el código Verilog que se necesita para la programación de la FPGA. Este código depende de las aplicaciones que tenga Kinnic, algunas aplicaciones que se podrían diseñar son el preprocesado de datos en redes Ethernet LAN de 10Gbps, las redes elásticas (EON) o simplemente una tarjeta de red con un filtrado de datos por hardware.

Como último reto, para una posible producción en masa y venta del producto se necesitaría una versión operativa y funcional de Kinnic junto con un software con versiones estables en perfecto funcionamiento.

REFERENCIAS

- [1] V. Moreno, J. Ramos, P. M. S. d. Río, J. L. García-Dorado, F. J. Gomez-Arribas y J. Aracil, «Commodity Packet Capture Engines: Tutorial, Cookbook and Applicability,» [En línea]. Available: <https://ieeexplore.ieee.org/abstract/document/7101227/>. [Último acceso: 05 09 2018].
- [2] M. Ruiz, T. Alonso, J. E. L. d. V. Méndez, S. López-Buedo, C. Sisterna y G. Sutter, «Monitorización con FPGAs de flujos y sesiones TCP en enlaces de 40 Gbit/s,» [En línea]. Available: https://www.researchgate.net/publication/326711453_Monitorizacion_con_FPGAs_de_flujos_y_sesiones_TCP_en_enlaces_de_40_Gbits. [Último acceso: 05 09 2018].
- [3] I. I. IDEALIST, «Elastic Optical Network Architecture».
- [4] Xilinx, «Zynq-7000 EPP Packaging and Pinout Advance Product Specification,» February 2012.
- [5] Microsemi, «VSC8490-11 Datasheet - Dual Channel WAN/LAN/Backplane RXAUI/XAUI to SFP+/KR 10 GbE SerDes PHY with IntelliSec and VeriTime,» 2017.
- [6] IPC/JEDEC, «JEDEC J-STD-020 Moisture/Reflow Sensitivity Classification for Nonhermetic Solid State Surface Mount Devices,» March 2008.
- [7] IPC, «Generic Requirements for Surface Mount Design and Land Pattern Standard,» February 2005.
- [8] K. P. Parker, «The Boundary-Scan Handbook,» Springer, 2015.
- [9] O. Semiconductor, «AND9075/D-Understanding Data Eye Diagram Methodology for Analyzing High Speed Digital Signals,» Semiconductor Components Industries, 2015.
- [10] T. Electronic, «FPGA Module with Xilinx Kintex-7 XC7K160T-2C1, 4 x 5 cm standard footprint,» [En línea]. Available: <https://shop.trenz-electronic.de/en/TE0741-03-160-2C1-FPGA-Module-with-Xilinx-Kintex-7-XC7K160T-2C1-4-x-5-cm-standard-footprint>. [Último acceso: 21 08 2018].
- [11] H. W. Ott, Electromagnetic Compatibility Engineering, New Jersey: John Wiley & Sons, 2011, p. 872.
- [12] T. Electronic, «FPGA Module with Xilinx Kintex-7 XC7K160T-2CF 4 x 5 cm standard footprint,» [En línea]. Available: <https://shop.trenz-electronic.de/en/TE0741-03-160-2CF-FPGA-Module-with-Xilinx-Kintex-7-XC7K160T-2CF-4-x-5-cm-standard-footprint>. [Último acceso: 21 08 2018].

- [13] Xilinx, «Integrated Block for PCI Express v3.3,» [En línea]. Available: https://www.xilinx.com/support/documentation/ip_documentation/pcie_7x/v3_3/pg054-7series-pcie.pdf. [Último acceso: 21 08 2018].
- [14] T. Electronic, «TE0741-TRM,» [En línea]. Available: <https://wiki.trenz-electronic.de/display/PD/TE0741+TRM>. [Último acceso: 21 08 2018].
- [15] M. PS, «OKY-T/10 & T/16-D12 Series,» [En línea]. Available: <https://power.murata.com/data/power/oky-t10-t16-d12.pdf>. [Último acceso: 22 08 2018].
- [16] PCI-SIG, «PCI Express® Base Specification Revision 3.0,» [En línea]. Available: http://composter.com.ua/documents/PCI_Express_Base_Specification_Revision_3.0.pdf. [Último acceso: 23 08 2018].
- [17] Xilinx, «7 Series FPGAs Transceivers Wizard v3.6, LogiCORE IP Product Guide,» [En línea]. Available: https://www.xilinx.com/support/documentation/ip_documentation/gtwizard/v3_6/pg168-gtwizard.pdf. [Último acceso: 24 08 2018].
- [18] Xilinx, «RXAUI v4.3,» [En línea]. Available: https://www.xilinx.com/support/documentation/ip_documentation/rxau/v4_3/pg083-rxau.pdf. [Último acceso: 24 08 2018].
- [19] IEEE, «IEEE Standard for Ethernet,» [En línea]. Available: <https://www.trincoll.edu/Academics/MajorsAndMinors/Engineering/Documents/IEEE%20Standard%20for%20Ethernet.pdf>. [Último acceso: 06 09 2018].
- [20] S. Committee, «SFF-8431 Specifications for Enhanced Small Form Factor Pluggable Module SFP+,» [En línea]. Available: [http://www.10gtek.com/templates/wzten/pdf/SFF-8431-\(SFP+%20MSA\).pdf](http://www.10gtek.com/templates/wzten/pdf/SFF-8431-(SFP+%20MSA).pdf). [Último acceso: 06 09 2018].
- [21] IEEE, «IEEE P802.3ae 10Gb/s Ethernet Task Force XAUI Documents,» [En línea]. Available: http://www.ieee802.org/3/ae/public/adhoc/serial_pmd/xaui_documents/. [Último acceso: 24 08 2018].
- [22] MARVELL, «RXAUI Interface and RXAUI Adapter Specifications,» [En línea]. Available: https://opencores.org/websvn/filedetails?repname=rxau_interface_and_xau_to_rxau_interface_adapter&path=%2Frxaui_interface_and_xau_to_rxau_interface_adapter%2FSpec%2Frxaui_if_and_adapter_spec.pdf&rev=4. [Último acceso: 24 08 2018].
- [23] Vitesse, «VSC8489/VSC8490/VSC8491 Evaluation Board,» June 2014.
- [24] S. Labs, «SI5338 Datasheet,» [En línea]. Available: <https://www.silabs.com/documents/public/data-sheets/Si5338.pdf>. [Último acceso: 25 08 2018].

- [25] S. Labs, «ClockBuilder,» [En línea]. Available: www.silabs.com/ClockBuilder. [Último acceso: 25 08 2018].
- [26] S. Labs, «CRYSTAL SELECTION GUIDE FOR Si533X AND Si5355/56 DEVICES,» [En línea]. Available: <https://www.silabs.com/documents/public/application-notes/AN360.pdf>. [Último acceso: 25 08 2018].
- [27] S. Labs, «AN408: TERMINATION OPTIONS FOR ANY-FREQUENCY, ANY-OUTPUT CLOCK GENERATORS AND CLOCK BUFFERS,» [En línea]. Available: <https://www.silabs.com/documents/public/application-notes/AN408.pdf>. [Último acceso: 2018 08 2018].
- [28] Xilinx, «7 Series FPGAs GTX/GTH Transceivers - User Guide,» August 2015.
- [29] Xilinx, «Zynq-7000 All Programmable SoC Overview,» January 2016.
- [30] T. Instruments, «PCB Design Guidelines For Reduced EMI,» November 1999.
- [31] S. Maniktala, «Switching Power Supplies A - Z,» Newnes, 2006.
- [32] C. Coombs, «Printed Circuits Handbook,» McGraw Hill Professional, 2007.
- [33] Altium, «PCB Symbol Naming Convention,» 2004.
- [34] U. S. o. A. Departament of Defense, «Graphic Symbols for Electrical and Electronics Diagrams,» The Institute of Electrical and Electronics Engineers, New York, 1975.
- [35] Proposed Standard for Ballot, «IPC/JEDEC J-STD-020C,» [En línea]. Available: http://www.elgertagroup.com/files/tinymce/files/Standart_IPC_JEDEC%20J-STD-020C.pdf. [Último acceso: 23 08 2018].

ANEXOS

ANEXO I Kinnic v0 BOM

Quantity	Description	Designator	Reference	Part
14	Condensador Cerámico	C1, C2, C3, C4, C5, C6, C7, C8, C9, C11, C13, C15, C34, C35	C0402C104K9RACTU	0,1uf 10% 6,3v X7R
13	Condensador Cerámico	C10, C12, C14, C16, C17, C18, C19, C20, C22, C23, C27, C37, C40	C0805C226M9PACTU	22uf 20% 6,3v X5R
3	Condensador Cerámico	C21, C30, C36	C0402C105K9PACTU	1uf 10% 6,3v X5R
1	Condensador Cerámico	C24	C0805C104K3RACTU	0,1uf 10% 25v X7R
2	Condensador Cerámico	C25, C26	C0805C475K3PACTU	4,7uf 10% 25v X5R
2	Condensador Cerámico	C28, C29	C1210C107M9PACTU	100uf 20% 6,3v X5R
2	Condensador Cerámico	C31, C32	C3216X5R1E476M160AC	47uf 20% 25v X5R [1206]
1	Condensador Cerámico	C33	C0402C102K9RACTU	1000pf 10% 6.3v X7R
2	Condensador Cerámico	C38, C39	C0402C103K9RACTU	10000pf 10% 6,3v X7R
4	Led RGB	D1,D2,D3,D4	CLV1A-FKB-CJ1M1FBB7R4S3	PLCC4 SMD
4	LedG (Green)	D5,D6,D7,D8	LG L29K-G2J1-24-Z	570nm SMD 0603
1	LedS (Red)	D9	LS L29K-H1J2-1-Z	630nm SMD 0603
1	LedY (Yellow)	D10	LY L29K-H1K2-26-Z	587nm SMD 0603
4	4-Diodos (ESD protection)	D11,D12,D13,D14	PESD3V3S4UD	
1	Conector Jack Alimentación	J1	PJ-002BH-SMT-TR	2,5x5,5mm HI CUR
1	Jumper JTAG	J2	878321420	CONN HEADER 14POS 2mm VERT SMD
2	Pmod Connector	J3,J4	12 Pins	
1	Jumper	JP1	HEADER 1X2 0.100"	
2	Jumper	JP2,JP3	HEADER 1X3 0.100"	
4	Inductor	L1,L2,L3,L4	744025003	3,3uH 1,5A 101MOhm
1	Ferrita	L5	FAIR-RITE 2773021447	
2	Conector SFP	P2,P3	744410010	20POS GOLD SMD
2	Cage conector SFP	P2,P3	747540106	1Port 3,6mm
10	Resistencia SMD	R1, R2, R3, R4, R5, R6, R7, R8, R15, R16	RC0402JR-0710KL	10K 5%
1	Resistencia SMD	R9	RC0402FR-072K49L	2,49K 1%
6	Resistencia SMD	R10, R11, R12, R13, R22, R23	RC0402JR-07330RL	330R 5%
1	Resistencia-Sensor de Corriente	R14	LVK25R005FER	0.005R 1% 2W [1224]
1	Resistencia SMD	R17	CPF0402B3K09E1	3.09K 0,1%
1	Resistencia SMD	R18	RC0402FR-07200KL	200K 1%
2	Resistencia SMD	R19, R21	CRCW04021M05FKED	1.05M 1%

1	Resistencia SMD	R20	RC0402FR-071KL	1K 1%
1	Resistencia SMD	R24	CRCW0402274KFKED	274K 1%
	Resistencia SMD		CRCW04023R09FKED	3.09R 1%
1	Interruptor	S1	JS102011SCQN	
1	Led Driver	U1	TLC5971PWPR	LIN 60MA 20HTSSOP
1	Power Module	U2	DNL10S0A0S16PFD	DC/DC POL 16A
1	A/D Converter (IC ADC)	U3	ADS1110A0IDBVR	16-bit I2C PROGBL SOT23-6
1	Amp Instrumental (IC OAMP INSTR)	U4	INA337AIDGKR	1KHz 8vSSOP
1	Power Switch ICs - Power Distribution	U5	TPS27082LDDCR	IC LOAD SW HIGH SIDE 6SOT
1	Regulador Lineal Voltage	U6	TPS73625MDBVREP	IC REG LDO 2,5v 0,4A SOT23-5
1	Conector Superior TE0741	M0D1	24903	
2	Conector Lateral TE0741	M0D1	83838	
1	TE0741-02-160-2C1	M0D1	XC7K160T-2FFG676C	FPGA Kintex 7 Module

Tabla 6. Kinnic_v0 BOM.

ANEXO II Esquemático Kinnic v0



Ilustración 43. Esquemático Kinnic_v0. Hoja 1, Kinnic.

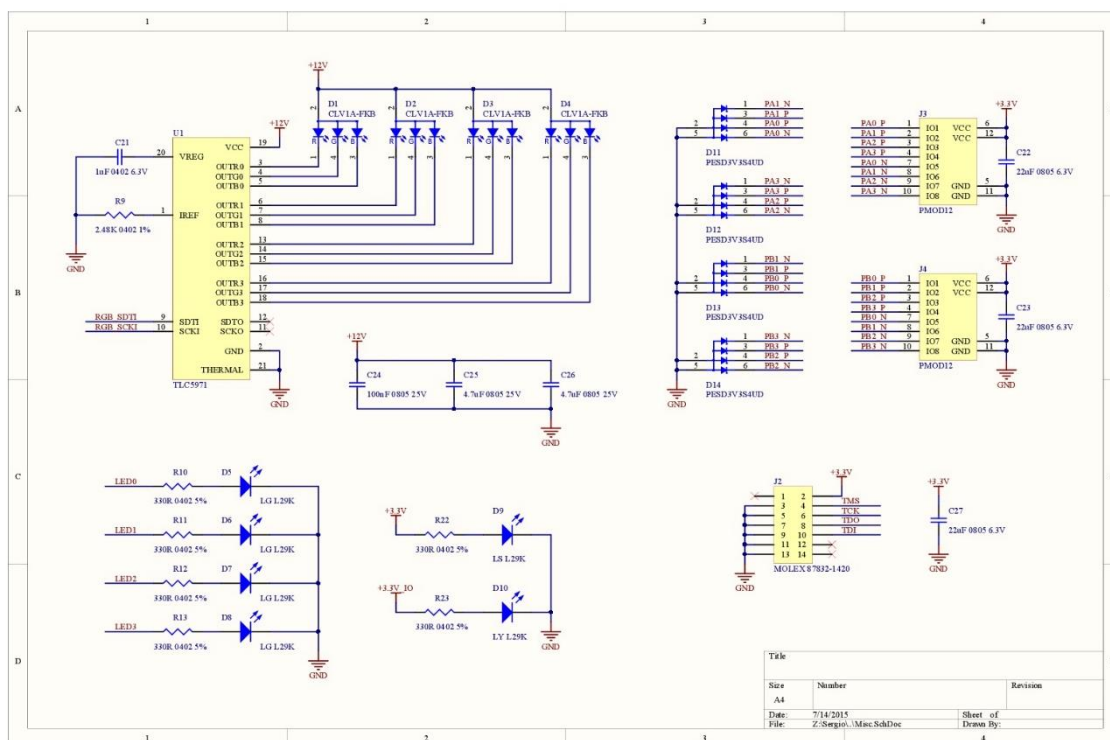


Ilustración 44. Esquemático Kinnic_v0. Hoja 2, Miscellaneous.

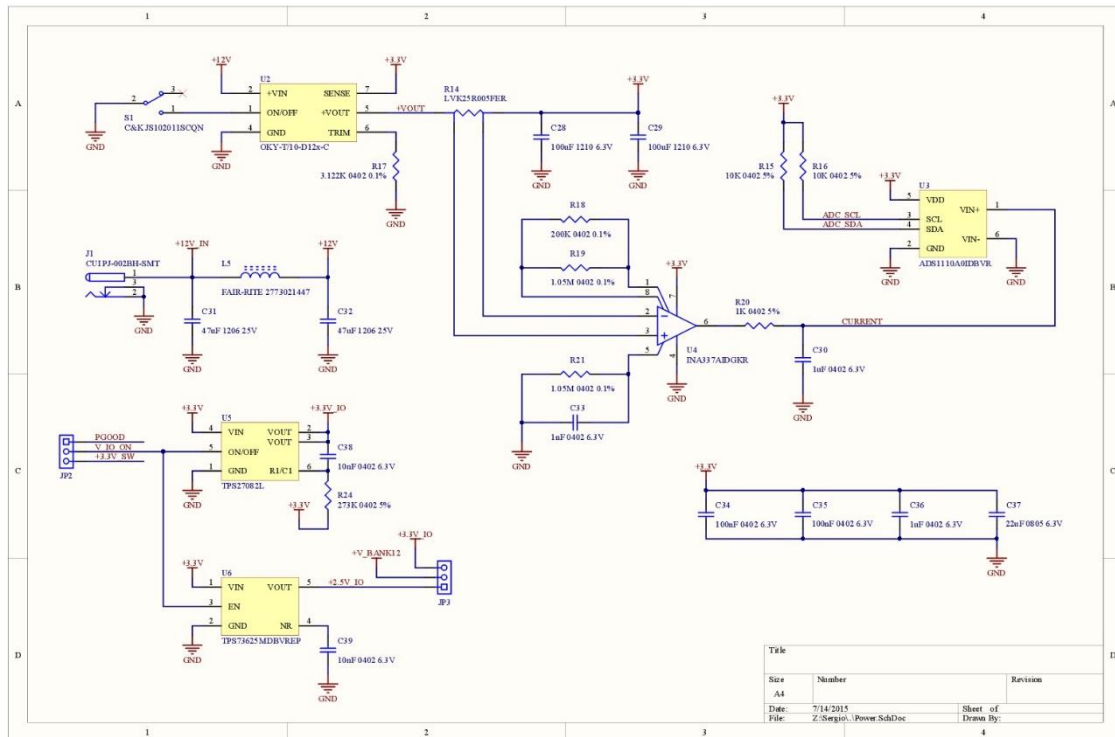


Ilustración 45. Esquemático Kinnic_v0. Hoja 3, Power.

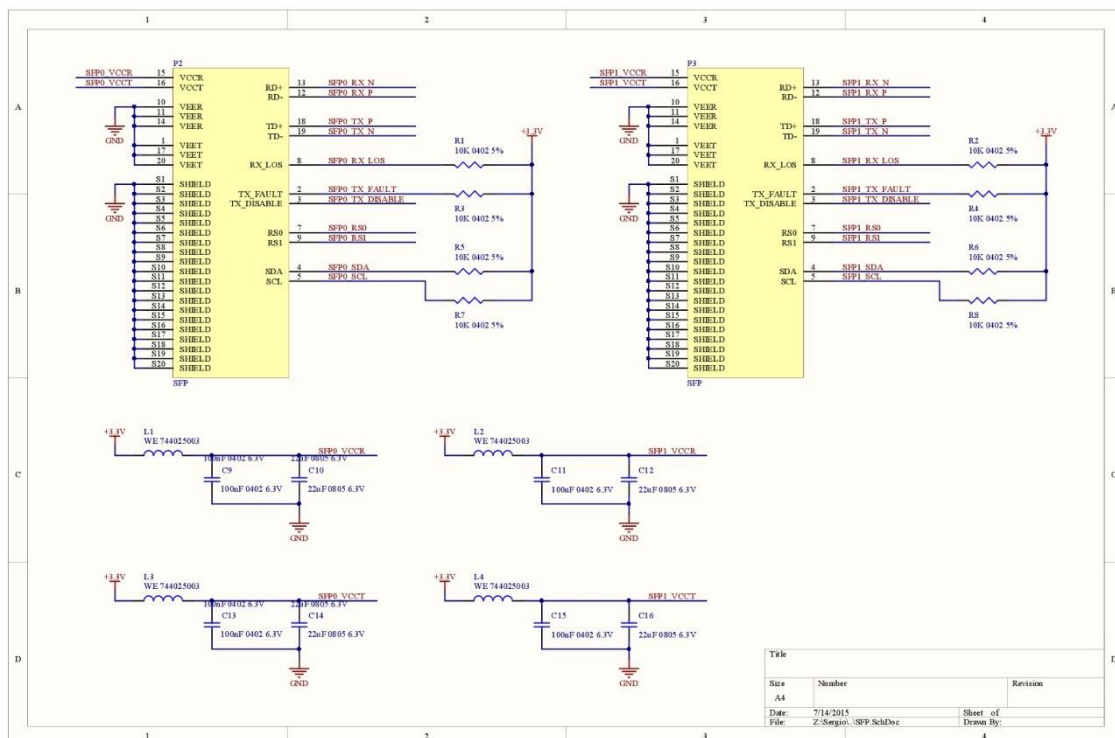


Ilustración 46. Esquemático Kinnic_v0. Hoja 4, SFP.

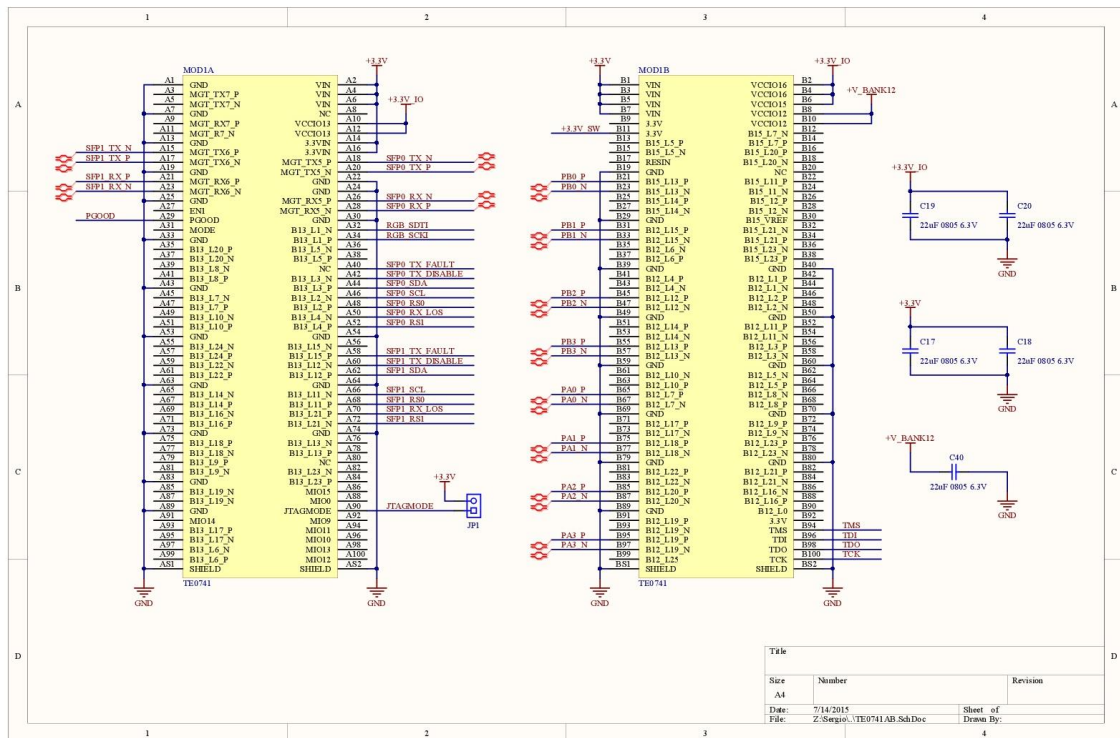


Ilustración 47. Esquemático Kinnic_v0. Hoja 5, TE0741AB.

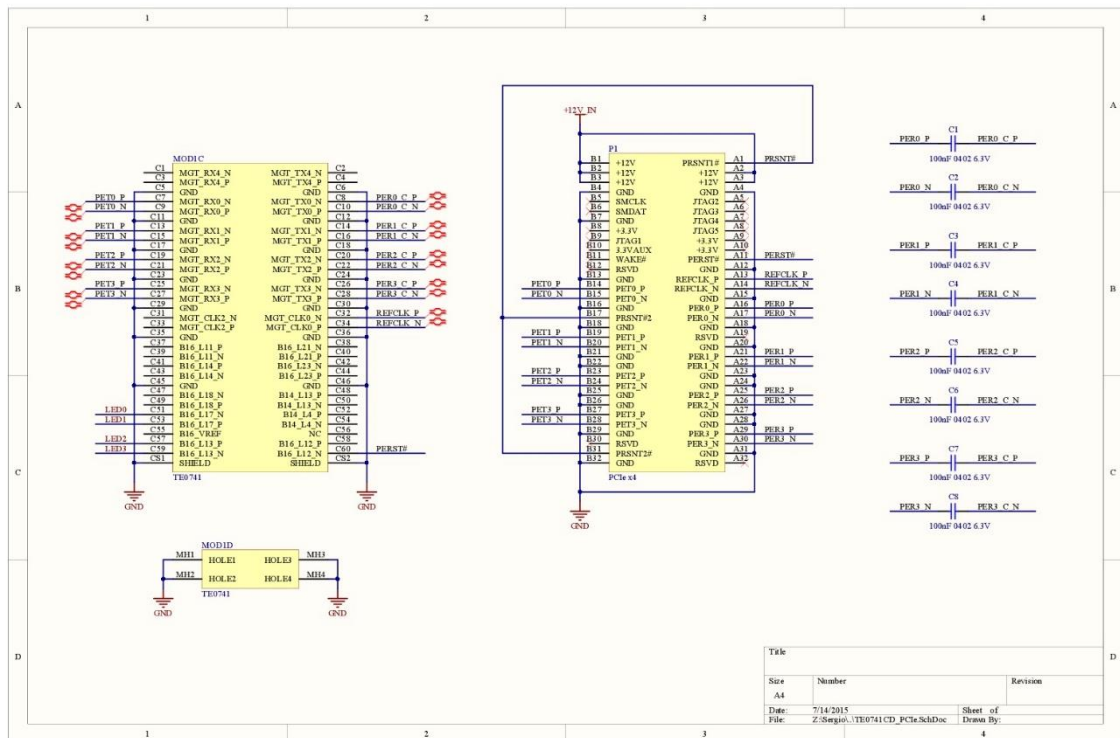


Ilustración 48. Esquemático Kinnic_v0. Hoja 6, TE0741CD PCIe.

ANEXO III Kinnic V1 BOM

Quantity	Description	Designator	Reference	Part
7	Condensador Cerámico	C1, C10, C14, C114, C115, C119, C120	C0402C105K9PACTU	1uF 0402 6.3V
1	Condensador Cerámico	C2	C0805C104K3RACTU	100nF 0805 25V
2	Condensador Cerámico	C3, C4	C0805C475K3PACTU	4.7uF 0805 25V
10	Condensador Cerámico	C5, C15, C17, C19, C21, C23, C24, C25, C26, C28	C0805C226M9PACTU	22uF 0805 6.3V
2	Condensador Cerámico	C6, C7	C1210C107M9PACTU	100uF 1210 6.3V
2	Condensador Cerámico	C8, C9, C117	C3216X5R1E476M160AC	47uF 1206 25V
1	Condensador Cerámico	C11	C0402C102K9RACTU	1nF 0402 6.3V
1	Condensador Cerámico	C12	C0402C103K9RACTU	10nF 0402 6.3V
84	Condensador Cerámico	C13, C16, C18, C20, C22, C29, C30, C31, C32, C33, C34, C35, C36, C37, C38, C39, C40, C41, C42, C43, C44, C45, C46, C47, C48, C49, C50, C52, C53, C54, C55, C56, C57, C58, C59, C60, C61, C62, C63, C64, C65, C66, C67, C68, C69, C70, C71, C72, C73, C74, C75, C76, C77, C78, C79, C80, C81, C82, C83, C87, C88, C89, C90, C91, C92, C96, C97, C98, C99, C100, C101, C102, C103, C104, C105, C109, C110, C111, C112, C113, C118, C121, C122, C123	C0402C104K9RACTU	100nF 0402 6.3V
6	Condensador Cerámico	C84, C85, C93, C94, C106, C107	C0805C105K9PACTU	1uF 0805 6.3V
3	Condensador Cerámico	C86, C95, C108	C0805X106M9RAC7800	10uF 0805 6.3V
1	Condensador Cerámico	C116	C0402C106M9PAC7867	10uF 0402 6.3V
4	Cree CLV1A-FKB Common Anode RGB LED	D1, D2, D3, D4	CLV1A-FKB-CJ1M1FBB7R4S3	CLV1A-FKB
7	LED Osram LG L29K (Green)	D5, D7, D9, D10, D11, D12, D13	LG L29K-G2J1-24-Z	LG L29K
1	LED Osram LS L29K (Red)	D6	LS L29K-H1J2-1-Z	LS L29K
1	LED Osram LY L29K (Yellow)	D8	LY L29K-H1K2-26-Z	LY L29K

1	Header, 7-Pin, Dual row	J1	MOLEX 87832-1420	MOLEX 87832-1420
1	3-Position Jumper	JP1	HEADER 1X2 0.100"	HEADER 1X2 0.100"
1	2-Position Jumper	JP2	HEADER 1X3 0.100"	HEADER 1X3 0.100"
1	FAIR-RITE 2773021447	L1	FAIR-RITE 2773021447	FAIR-RITE 2773021447
7	WE 744025003	L2, L3, L4, L5, L6, L7, L8	WE 744025003	WE 744025003
1	Trenz Electronic TE0741 Micromodule	MOD1	TE0741	TE0741
2	Conector SFP	P2,P1	744410010	20POS GOLD SMD
2	Cage conector SFP	P2,P1	747540106	1Port 3,6mm
1	PCle x4 Edge Connector	P3	PCle x4	PCle x4
3	N-Channel MOSFET	Q1, Q2, Q3	MOSFET-N	MOSFET-N
1	Resistor	R1	RC0402FR-072K49L	2.48K 0402 1%
9	Resistor	R2, R3, R4, R5, R6, R7, R37, R38, R39	RC0402JR-07330RL	330R 0402 5%
1	Ohmite LVK25R005FER	R8	LVK25R005FER	LVK25R005FER
1	Resistor	R9	CPF0402B3K09E1	3.122K 0402 0.1%
13	Resistor	R10, R11, R17, R18, R19, R20, R21, R22, R23, R24, R25, R26, R27	RC0402JR-0710KL	10K 0402 5%
1	Resistor	R12	RC0402FR-07200KL	200K 0402 0.1%
2	Resistor	R13, R15	CRCW04021M05FKED	1.05M 0402 0.1%
2	Resistor	R14, R28	RC0402FR-071KL	1K 0402 5%
1	Resistor	R16	CRCW0402274KFKED	273K 0402 5%
8	Resistor	R29, R30, R31, R32, R33, R34, R35, R36	RG1005P-201-B-T5	200 0402 1%
2	Resistor	R40, R45	ERA-3AEB222V	2.2K 0603 1%
4	Resistor	R41, R42, R43, R44	RC0402JR-0710KL	10K
2	Resistor	R46, R48	RC0402JR-0710KL	10K 0402 1%
1	Resistor	R47	P620DCCT-ND	620 0402 1% BGA
1	Resistor	R49	RR0816P-103-D	10K 0603 1%
1		U1	TLC5971	TLC5971
1		U2	OKY-T/10-D12x-C	OKY-T/10-D12x-C
1	ADS1110A0IDBVR	U3	ADS1110A0IDBVR	ADS1110A0IDBVR
1	INA337AIDGKR	U4	INA337AIDGKR	INA337AIDGKR
1	TI TPS27082LDDCR	U5	TPS27082L	TPS27082L
1	IC CLK GEN I2C BUS PROG 24QFN	U6	SI5338C-B-GM	SI5338C-B-GM
1	Dual Channel WAN/LAN/Backplane RXAUI/XAUI to SFP+/KR 10GbE SerDes PHY with Intellisec and VeriTime	U7	VSC8490-11	VSC8490-11

1	IC REG LDO 1.2V 0.3A 4X2SON	U8	TLV73312PDQNT	TLV73312PDQNT
1	IC REG LDO 1V 3A 10MSOP	U9	MIC61300-10YMME	MIC61300- 10YMME
1	TI TPS73625MDBVREP	U10	TPS73625MDBVREP	TPS73625MDBVREP
1	FA-238 25.0000MB- C325MHz ±50ppm Crystal 18pF 50 Ohm - 20°C ~ 70°C Surface Mount 4-SMD, No Lead	Y1	CRYSTAL FA-238	CRYSTAL FA-238

Tabla 7. Kinnic_v1 BOM.

ANEXO IV Esquemático Kinnic v1

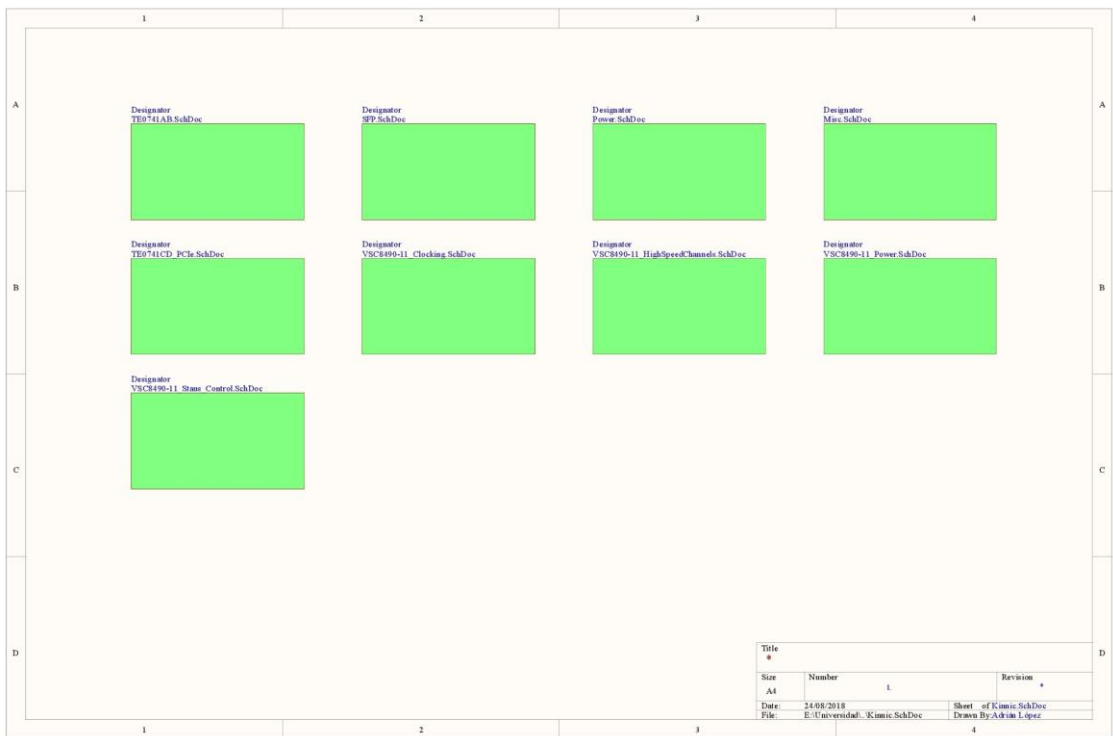


Ilustración 49. Esquemático Kinnic_v1. Hoja 1, Kinnic.

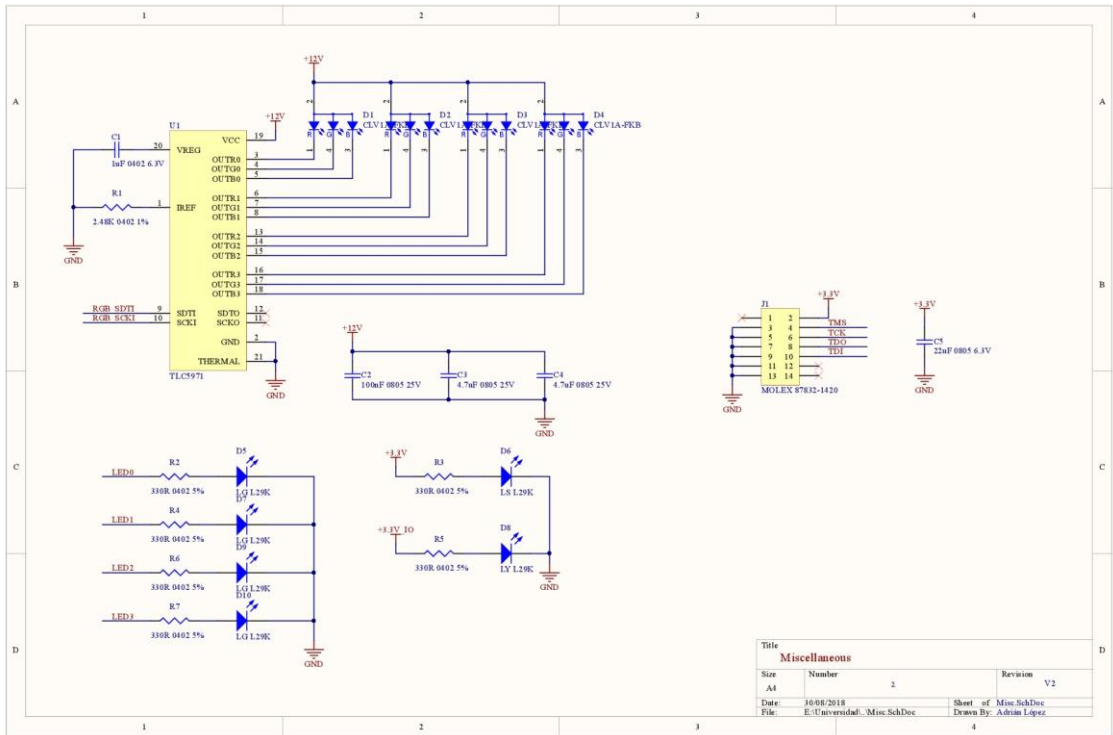


Ilustración 50. Esquemático Kinnic_v1. Hoja 2, Miscellaneous.

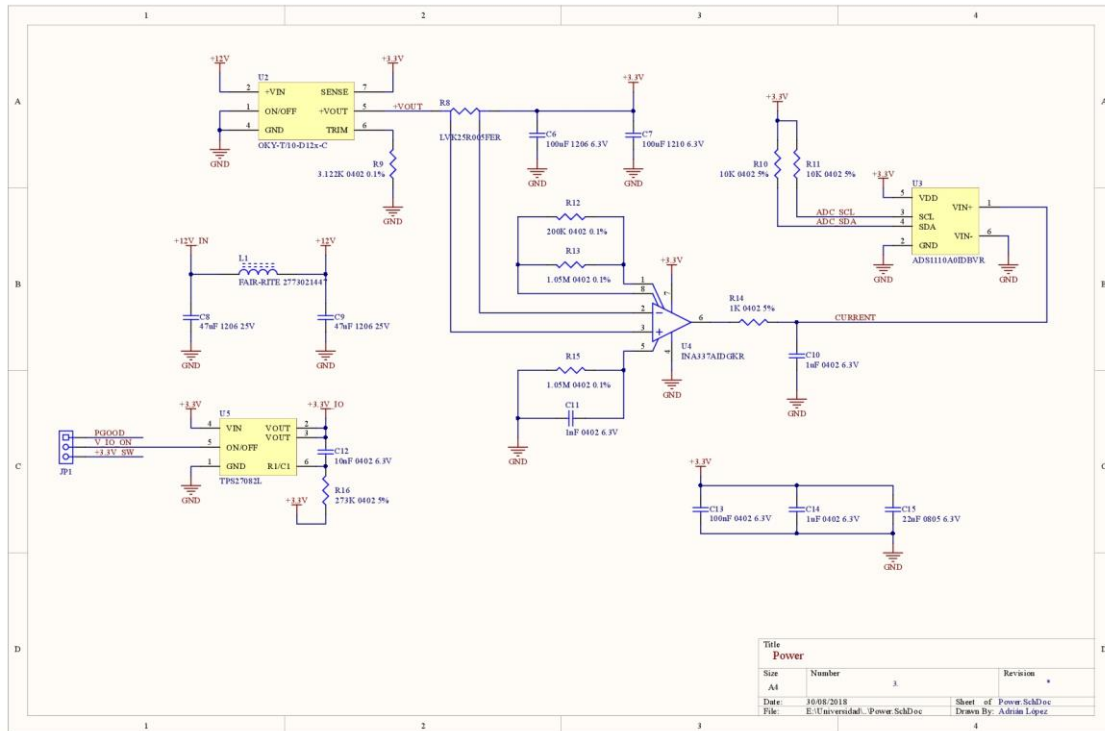


Ilustración 51. Esquemático Kinnic_v1. Hoja 3, Power.

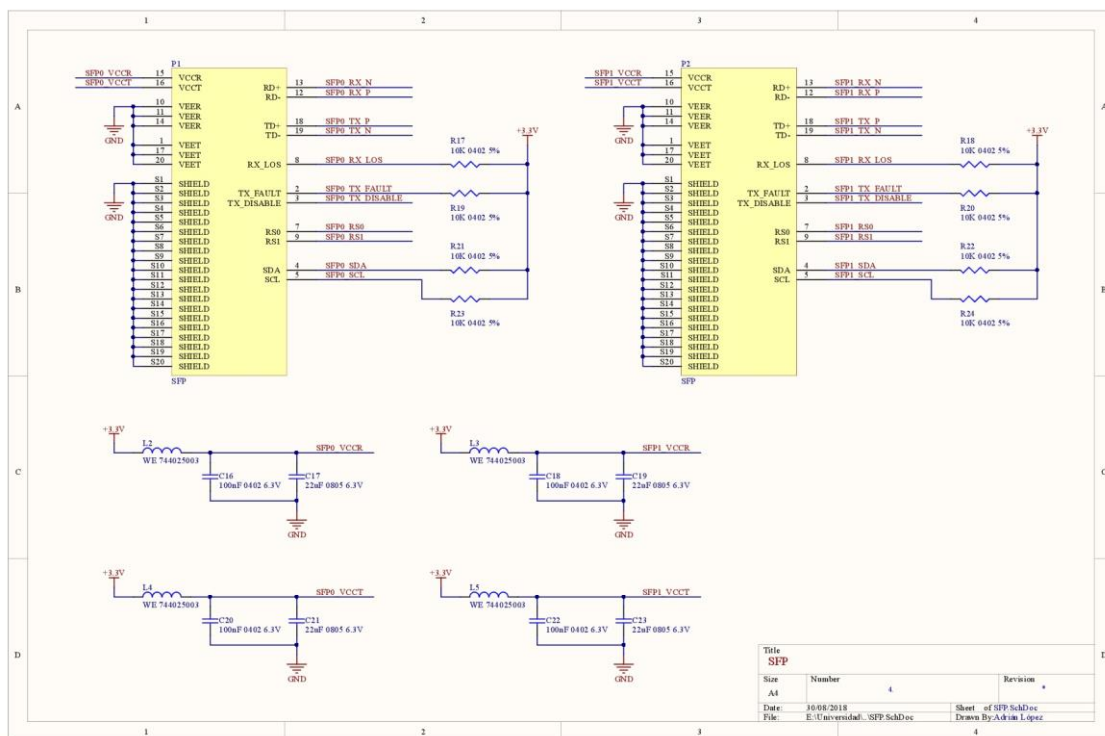


Ilustración 52. Esquemático Kinnic_v1. Hoja 4, SFP.

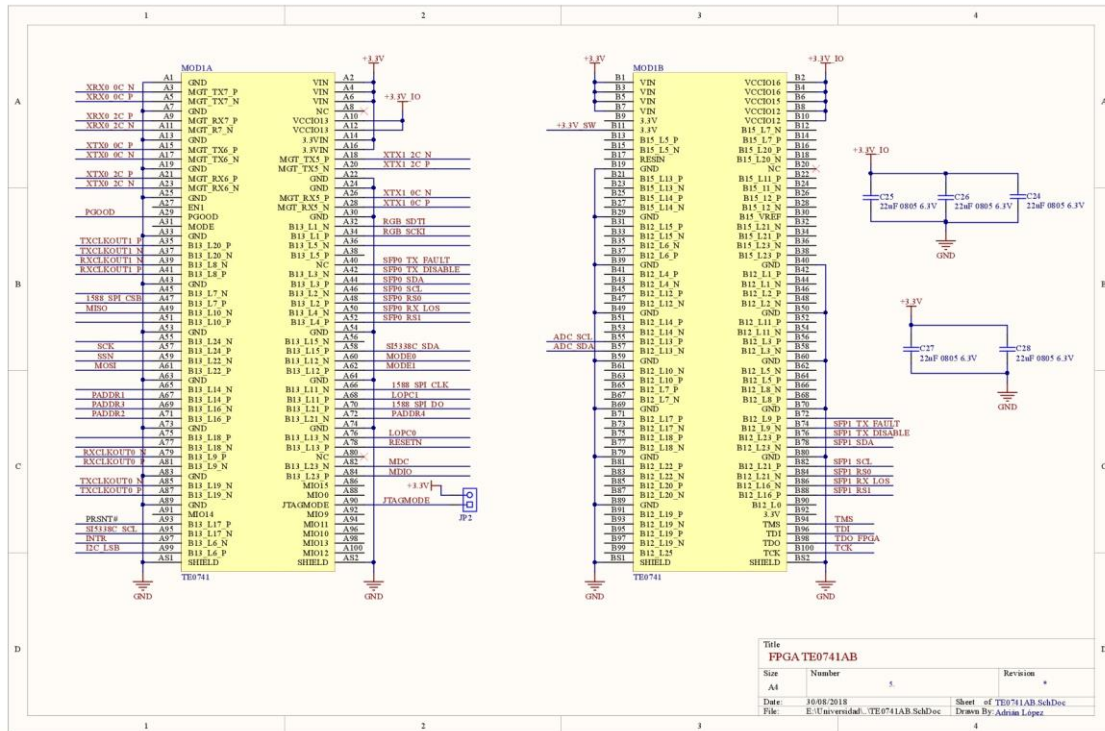


Ilustración 53. Esquemático Kinnic_v1. Hoja 5, FPGA TE0741AB.

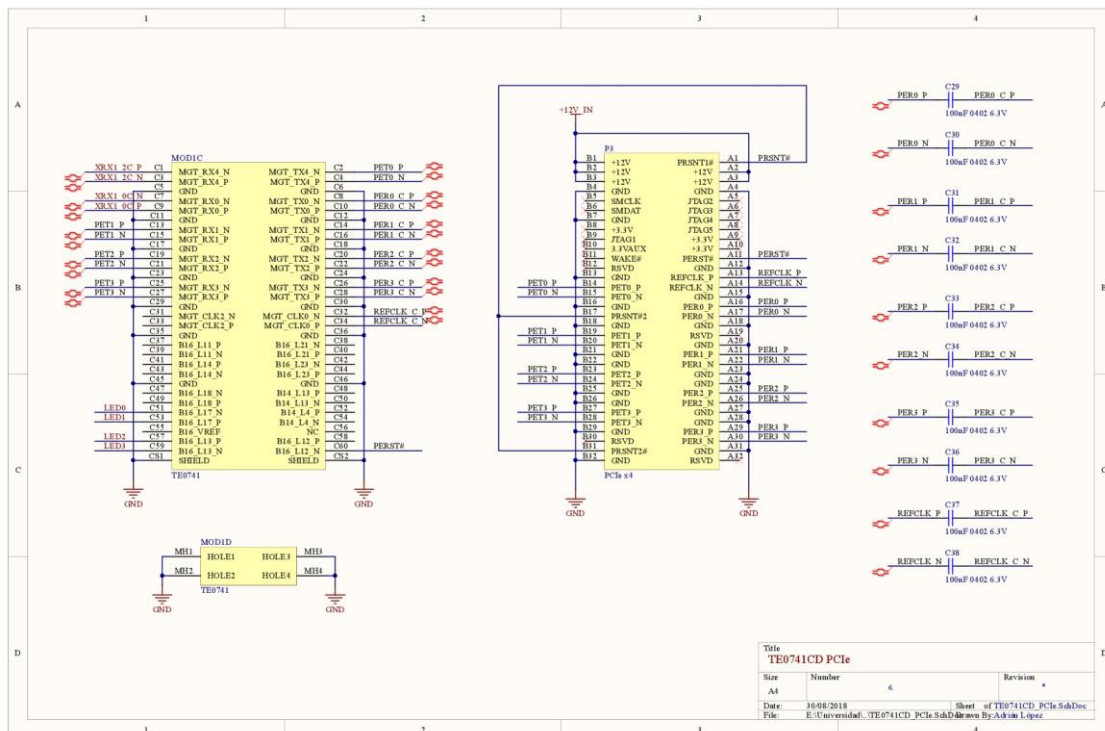


Ilustración 54. Esquemático Kinnic_v1. Hoja 6, TE0741CD PCIe.

ANEXO V Stackup

<h2 style="margin: 0;">SID</h2> <p style="margin: 0;">Factory: Schopfheim</p>	<p>Article: <input type="text" value="196"/> <input type="text" value="ML6"/></p> <p>Customer: <input type="text"/></p>	<p>Provided: <input type="text" value="Wodke, Alexander"/></p> <p>Date: <input type="text" value="17.04.2015"/></p>	
Processtechnology: B: undefiniert			
Material Text	Mat. Nr.	µm	Stackup
A-RS Kupferfolie-018my 330x490mm	50200238	<input type="text" value="18"/> VS	
A-RS-FR4-Prepreg-1080-TG135	50200442	<input type="text" value="123"/>	
A-RS-FR4-Prepreg-1080-TG135	50200442	<input type="text" value="0"/>	
A-RS-FR4-ML-0.41mm-035+035-TG135	50200329	<input type="text" value="35"/> L2 <input type="text" value="395"/> <input type="text" value="35"/> L3	
A-RS-FR4-Prepreg-2116-TG135	50200534	<input type="text" value="195"/>	
A-RS-FR4-Prepreg-2116-TG135	50200534	<input type="text" value="0"/>	
A-RS-FR4-ML-0.41mm-035+035-TG135	50200329	<input type="text" value="35"/> L4 <input type="text" value="395"/> <input type="text" value="35"/> L5	
A-RS-FR4-Prepreg-1080-TG135	50200442	<input type="text" value="123"/>	
A-RS-FR4-Prepreg-1080-TG135	50200442	<input type="text" value="0"/>	
A-RS Kupferfolie-018my 330x490mm	50200238	<input type="text" value="18"/> RS	
Thickness after Pressing			B00: <input type="text" value="1440 µm"/> Tol+: <input type="text" value="155 µm"/> Tol-: <input type="text" value="155 µm"/> Dmax: <input type="text" value="1595 µm"/> Dmin: <input type="text" value="1285 µm"/>
Thickness over all			<input type="text" value="0 µm"/> Tol+: <input type="text" value="0 µm"/> Tol-: <input type="text" value="0 µm"/> Dmax: <input type="text" value="0 µm"/> Dmin: <input type="text" value="0 µm"/>
Demand for customer			Thickness (D): <input type="text" value="1550 µm"/> Tol+: <input type="text" value="155 µm"/> Tol-: <input type="text" value="155 µm"/> Dmax: <input type="text" value="1705 µm"/> Dmin: <input type="text" value="1395 µm"/>
Measuring point: <input type="text" value="(05) über LM und galv.Cu; beidseitig"/>			nominal: <input type="text" value="1407 µm"/>
Version 1.2.14.15			© Würth Elektronik

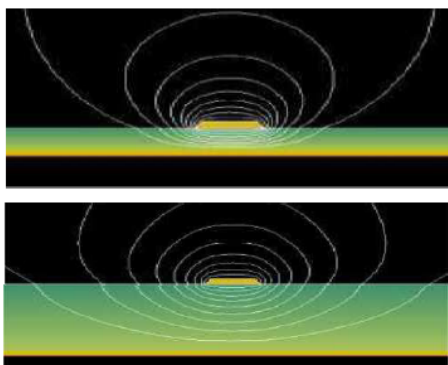
Ilustración 59.StackUp WE.

ANEXO VI Epsilon R Würth Elektronik



Epsilon R

Dielektrische Verluste



Einflüsse:

- Lagenabstand
- Frequenz

Auswirkungen auf Wellenwiderstand und Flankensteilheit ...

ϵ_r Werte in Abhängigkeit vom Lagenabstand FR4
(verlustbehaftestes ϵ_r)

Prepreg	1080	2 x 1080	3 x 1080	2116	2 x 2116	3 x 2116
Tg 135	3.2	3.5	3.6	3.6	3.9	4.7
Tg 150 hf	3.5	3.7	3.9	3.8	4.3	4.6

Kerne	60 μm	100 μm	150 μm	250 μm	510 μm	710 μm
Tg 135	3.2	3.5	3.6	3.6	3.9	4.7
Tg 150 hf	3.5	3.7	3.9	3.8	4.3	4.6



Effektives ϵ_r

ANEXO VII Mascara de soldadura

Máscara de soldadura

En WEdirekt, ofrecemos una máscara de soldadura fotosensible verde. Por favor tenga en cuenta en su diseño la siguiente regla general:

\varnothing del pad de la máscara de soldadura = \varnothing del pad de cobre + 0.15 mm

Si su PCB tiene diferentes valores, vamos a adaptar el diseño a esta regla general. Esto se hace con el fin de mantener las superficies de soldadura libres de máscara. Nuestro trazo de máscara recomendado es de un mínimo de 70µm.

Puede descargar la hoja de datos técnicos de nuestra máscara de soldadura aquí:

• Prototipos de Europa: [Elpermer® SD 2467 SM-DG](#)

Información sobre el espesor de nuestra máscara de soldadura	
Espesor sobre el material base	20-45 µm
Espesor sobre la pista	10-25 µm
Espesor en el canto de la pista	≥ 5 µm

Nota para las vías en máscara de soldadura / producción en Alemania

En WEdirekt las vías siempre se realizan con apertura en la máscara de soldadura. Si las vías están cerradas en máscara de soldadura en sus datos de fabricación, nosotros los adaptamos de forma automática para que las vías no estén cubiertas de máscara de soldadura. Para la apertura utilizamos el diámetro más pequeño posible.

Esto no se aplica a PCBs HDI Microvia. Aquí, las micro vías estarán cubiertas con máscara de soldadura si así lo indican los datos de fabricación.

Ilustración 61. Especificaciones de la máscara de soldadura WE.

En Elpermer SD 2467 SM-DG especifica que el dieléctrico a 1MHz tiene un épsilon relativo de aproximadamente 3.7.

Property	Test method	Result
Insulation resistance	IPC-SM-840E, 3.8.2	class H and T
Moisture and insulation resistance	IPC-SM-840E, 3.9.1	class H and T
Electromigration	IPC-SM-840E, 3.9.2 85 °C [185 °F], 85 % r. h., 168 h, 10 V DC	class H and T
Electrocorrosion	Siemens Norm SN 57 030 40 °C [104 °F], 95 % r. h., 21 d, 100 V DC	passed
Comparative Tracking Index (CTI, Tracking resistance)	DIN EN 60 112 on FR 4 base material with CTI 250 with CTI 600	CTI 275* CTI 600*
Dielectric constant ϵ_r	based on IPC 4101 A at 1 MHz	approx. 3.7
Dissipation factor $\tan \delta$	based on IPC 4101 A 1 – 100 MHz	approx. 0.029

Ilustración 62. Elpermer SD 2467 SM-DG.

ANEXO VIII NetList Status

Señal	Longitud (mm)	Diferencia(mm)
SFP1_RX_N	27,2534	1,2429
SFP1_RX_P	26,0105	
SFP1_TX_N	25,8225	-1,1944
SFP1_TX_P	27,0169	
SFP0_RX_N	25,3291	-1,1878
SFP0_RX_P	26,5169	
SFP0_TX_N	27,474	1,1814
SFP0_TX_P	26,2926	
XRX1_0_N	41,8105	-1,1995
XRX1_0_P	43,01	
XRX1_2_N	44,1533	0,1575
XRX1_2_P	43,9958	
XTX1_0_N	23,0201	1,1411
XTX1_0_P	21,879	
XTX1_2_N	23,0859	1,4614
XTX1_2_P	21,6245	
XRX0_0_N	57,5024	2,518
XRX0_0_P	54,9844	
XRX0_2_N	49,1698	-0,4554
XRX0_2_P	49,6252	
XTX0_0_N	62,6693	-0,6172
XTX0_0_P	63,2865	
XTX0_2_N	54,5748	-0,6317
XTX0_2_P	55,2065	
RXCLKOUT0_N	64,2551	-0,5012
RXCLKOUT0_P	64,7563	
RXCLKOUT1_N	49,0444	0,0111
RXCLKOUT1_P	49,0333	
TXCLKOUT0_N	63,5745	-0,543
TXCLKOUT0_P	64,1175	
TXCLKOUT1_N	61,4311	-1,5719
TXCLKOUT1_P	63,003	
WREFCLK_N	19,5954	-0,5462
WREFCLK_P	20,1416	
XREFCLK_N	12,8022	1,194
XREFCLK_P	11,6082	
SREFCLK_N	18,0687	0,5702
SREFCLK_P	17,4985	
REFCLK_N	109,8172	-0,182
REFCLK_P	109,9992	

PER0_N	94,8293	0,0161
PER0_P	94,8132	
PER1_N	94,3865	-0,0456
PER1_P	94,4321	
PER2_N	95,9263	-0,0679
PER2_P	95,9942	
PER3_N	97,9742	-0,0574
PER3_P	98,0316	
PET0_N	93,1778	0,3536
PET0_P	92,8242	
PET1_N	101,5355	-1,5508
PET1_P	103,0863	
PET2_N	100,4403	-0,0685
PET2_P	100,5088	
PET3_N	107,4427	-0,0573
PET3_P	107,5	

Tabla 8. NetList Status